

X24C44

串行非易失性静态RAM (256位, 16 × 16位)

一、概述

1.1 一般说明

Xicor公司出品的X24C44是串行256位NOVRAM(非易失性RAM),它是按16×16组织的静态RAM,与非易失性E²PROM阵列位对位(bit-by-bit)重叠。X24C44利用Xicor公司先进的CMOS浮栅(Advanced CMOS Floating Gate)工艺制造。

Xicor NOVRAM设计成允许利用软件命令或外部硬件输入端在两个存储器阵列之间传送数据。存储操作(RAM数据至E²PROM)在5ms或更短的时间内完成;调出操作(E²PROM数据至RAM)在2 μs或更短的时间内完成。

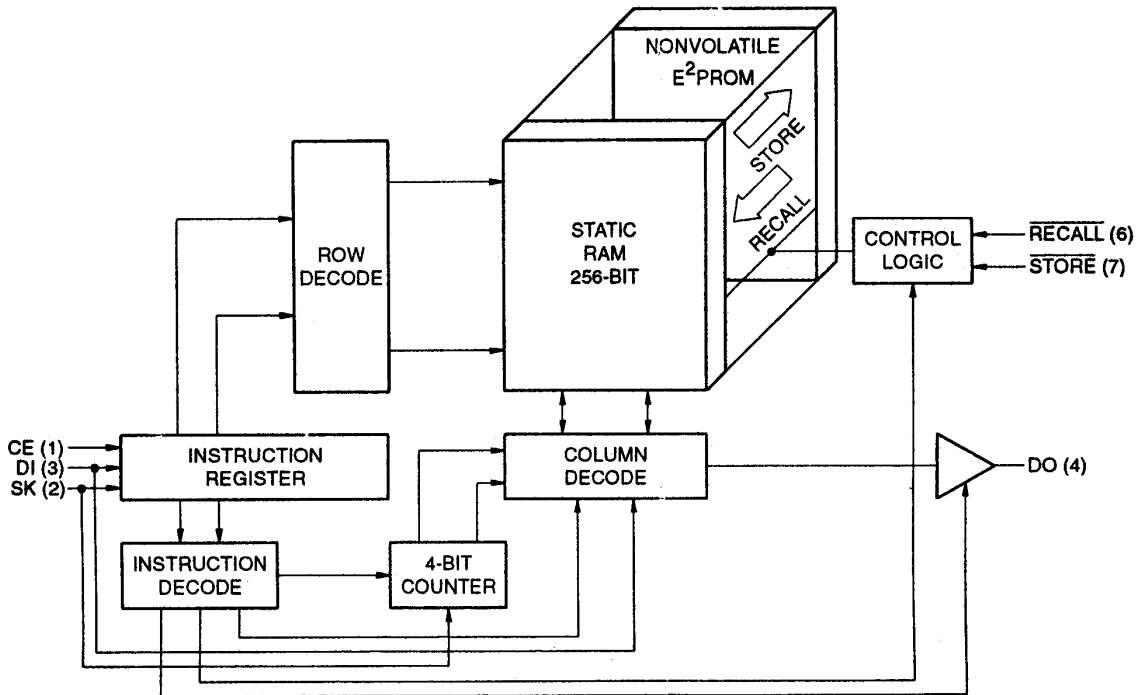
Xicor NOVRAM设计成能不受限制地把数据从主机写至RAM或从E²PROM调至RAM,最小的存储操作次数为1,000,000次。规定的固有数据保存期大于100年。

1.2 特点

- 先进的Xicor X2444 CMOS类型
- 按16×16组织
- 单5伏电源
- 能理想地和单片微计算机一起使用
 - 静态时序
 - 最小I/O接口
 - 串行端口兼容(COPS™, 8051)
 - 易于和微控制器端口接口
- 非易失性功能的软件和硬件控制
- 上电时自动调出
- TTL和CMOS兼容
- 低功耗
 - 工作电流,最大为10mA
 - 待机状态电流,最大为50 μA
- 8引脚PDIP, Cerdip和8引脚SOIC封装
- 高可靠性
 - 存储周期:1,000,000
 - 数据保存期:100年

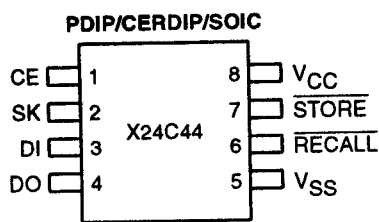
1.3 功能方框图

X24C44的功能方框图如下图所示。



1.4 引脚排列

X24C44的引脚排列如下图所示。



1.5 引脚名称与说明

X24C44的引脚说明如下表所示。

符号	说明
CE	芯片允许（使能）
SK	串行时钟
DI	串行数据输入
DO	串行数据输出
RECALL	调用输入
STORE	存储输入
V _{CC}	+5V
V _{SS}	地

芯片允许（使能）(CE)

为了允许所有的读/写操作，芯片允许输入端必须为高电平。在读或写命令之后，CE必须保持高电平，直到数据传送完成为止。CE为低电平将使X24C44处于低功率的待机方式并复位指令寄存器。因此，在为下一命令作准备时，为了使指令寄存器复位，操作完成之后必须把CE拉至低电平。

串行时钟 (SK)

SK用于使所有数据能在时钟同步下输入和输出器件。

数据输入 (DI)

DI是串行数据输入端。

数据输出 (DO)

DO是串行数据输出端。除了在响应READ指令数据输出周期期间之外。它均处于高阻抗状态。

STORE

STORE为低电平将启动从RAM至E²PROM阵列的内部数据传送。

RECALL

RECALL为低电平将启动从E²PROM至RAM阵列的内部数据传送。

二、工作原理

X24C44包含一个8位的指令寄存器。它经过DI输入端来访问，数据在SK的上升沿由时钟同步输入。在整

个数据传送操作期间CE必须为高电平。

表1包含了指令及其操作码的列表。所有指令的最高有效位 (MSB) 是逻辑1 (高电平), 位6至3是RAM地址位 (A) 或不关心 (X) 而位2至0是操作码。X24C44要求按最高位 (MSB) 在前的方式送入指令。

在CE为高电平之后, 直至逻辑 "1" 送入DI为止, X24C44将不会开始解释数据流。因此, 可以在SK工作 (running) 且DI为低电平的情况下把CE拉至高电平。然后, 在X24C44开始任何动作之前, DI必须变为高电平以表示指令的起始条件。

此外, SK时钟是完全静态的 (totally static)。用户可完全停止时钟, 数据移动将被停止。重新启动时钟将恢复数据的移动。

2.1 RCL和RECALL

软件RCL指令或RECALL输入端的低电平可启动数据从E²PROM传送到RAM。这种软件或硬件的调用操作设置内部 "先前调用 (previous recall)" 锁存器。该锁存器上电时被复位, 为了允许任何写或存储操作, 它必须由用户有意地加以设置。虽然上电前完成了调用操作, 但是, 此操作并不设置 "先前调用" 锁存器。

2.2 WRDS和WREN

X24C44内部包含 "写允许 (write enable)" 锁存器。为了写入RAM或对E²PROM进行存储操作, 必须设置该锁存器。WREN指令设置锁存器; WRDS指令复位锁存器, 禁止RAM写和E²PROM存储, 有效地保护非易失性数据使之免遭破坏, 上电时 "写允许" 锁存器自动复位。

2.3 STO和STORE

软件STO指令或STORE输入端的低电平将启动数据从RAM至E²PROM的传送。为了避免不想要的存储操作, 下列条件必须为真:

- 发出STO指令或STORE输入为低电平
- 内部 "写允许" 锁存器必须被设置 (WREN指令已发出)
- "先前调用" 锁存器必须被设置 (软件或硬件调用操作)

一旦存储周期开始, 所有其他器件功能将被禁止。存储周期完成之后, 写允许锁存器被复位。存储操作的允许/禁止条件的状态图说明请参见图4。

表1 指令集

指 令	格式, I ₂ I ₁ I ₀	操 作
WRDS (图3)	1XXXX000	复位写允许锁存器 (禁止写和存储)
STO (图3)	1XXXX001	把RAM数据存储在E ² PROM
保留	1XXXX010	N/A
WRITE (图2)	1AAAA011	把数据写入RAM地址AAAA
WREN (图3)	1XXXX100	设置写允许锁存器 (允许写和存储)
RCL (图3)	1XXXX101	把E ² PROM数据调入RAM
READ (图1)	1AAAA11X	从RAM地址AAAA读出数据

2.4 WRITE (写)

WRITE (写) 指令包含要写的字的4位地址。写指令之后紧接着要写的16位字。在整个操作期间, CE必须保持高电平。在SK的下一个上升沿之前, CE必须变为低电平。如果CE过早变至低电平 (在指令之后但在16位数据被传送之前), 那么指令寄存器将被复位, 移入的数据将被写到RAM。

如果CE保持高电平的时间大于24个SK时钟周期 (8位指令加16位数据), 那么已移入的数据将被重写。

2.5 READ (读)

READ (读) 指令已包含要访问的字的4位地址。与其它6个指令不同, 该指令字的I₀是 "不关心"。这提供了两个优点。在把DI和DO二者连接在一起的设计中, 指令中不存在第8位将允许主机时间把I/O线从输出转换为输入。其次, 在第9个SK时钟周期内, 它可供有效数据输出之用。

读操作期间首位输出DO被截断 (truncated)。即，它在内部由第8个SK时钟的下降沿同步；然而，所有后续位由SK的上升沿同步 (参见读周期图)。

2.6 低功率方式

当CE为低电平时，非关键的内部器件被断电，使器件处于待机状态，因而使功耗为最小。

2.7 SLEEP (休眠)

因为X24C44是低功耗的CMOS器件，所以第一代NMOS器件中执行的SLEEP (休眠) 指令被删除。对于从X2444至X24C44的系统转换，软件不需要修改；指令将被忽略。

2.8 写保护

X24C44提供了两种软件写保护机构以防止未知数据的偶然存储。

2.8.1 上电状态

上电时“写允许”锁存器处于复位状态，禁止任何存储操作。

2.8.2 未知数据存储

在上电后“先前调用 (previous recall)”锁存器必须被设置。它仅通过运行软件或通过硬件调用操作来设置，它们确保所有RAM单元内的数据有效。

2.9 系统的考虑

2.9.1 上电调用 (power-up recall)

X24C44执行上电调用，它把E²PROM的内容传送到RAM阵列。虽然可从RAM阵列读出数据，但是这种调用并不设置“先前调用”锁存器。在这种上电调用操作期间内，所有的命令被忽略。因此，在V_{CC}稳定之后，主机还应当把X24C44任何操作延迟最小为t_{PUR}的时间。

2.9.2 掉电数据保护

因为X24C44是仅用5V电源的非易失性存储器件，所以在掉电周期内，易于产生对E²PROM阵列的偶然存储。因为“先前调用 (previous recall)”锁存器和“写允许 (write enable)”锁存器被复位，防止了任何可能的对E²PROM数据的破坏，所以上电周期不存在问题。

2.9.2.1 软件掉电保护

如果STORE和RECALL引脚通过上拉电阻连接至V_{CC}并仅由软件操作来启动存储，那么发生偶然存储的可能性很小。但是，如果这两条线在微处理器的控制下，那么应当使用正动作 (positive action) 以消除这些控制线跳动且产生不需要的存储的可能性。最安全的方法是在写序列和后续存储操作之后发出WRDS命令。

注意：内部存储可能要花多达5ms的时间；所以在启动存储 (它先于发出WRDS命令) 之后，主微处理器应当延迟5ms。

2.9.2.2 硬件掉电保护

(在“写允许”锁存器和“先前调用”锁存器未处于复位状态时)

在掉电期间内保持RECALL为低电平，CE为低电平或STORE为高电平将防止偶然的存储。

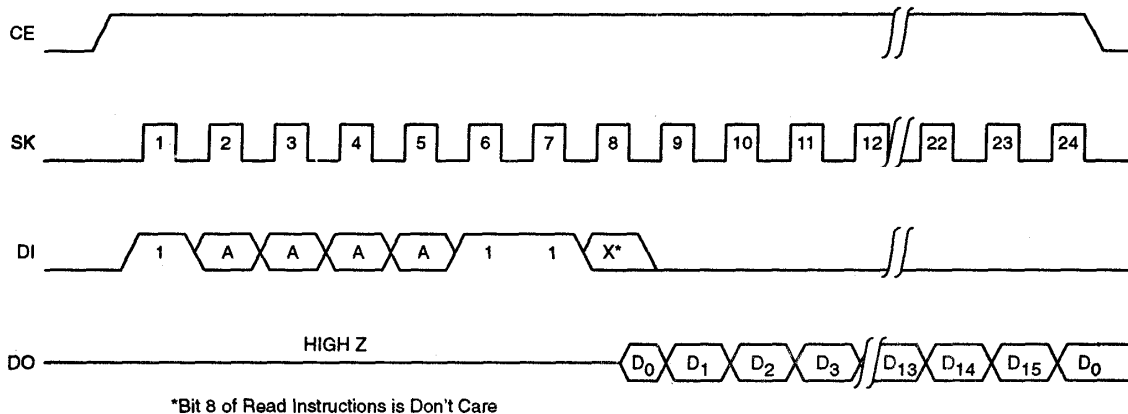


图1 RAM读

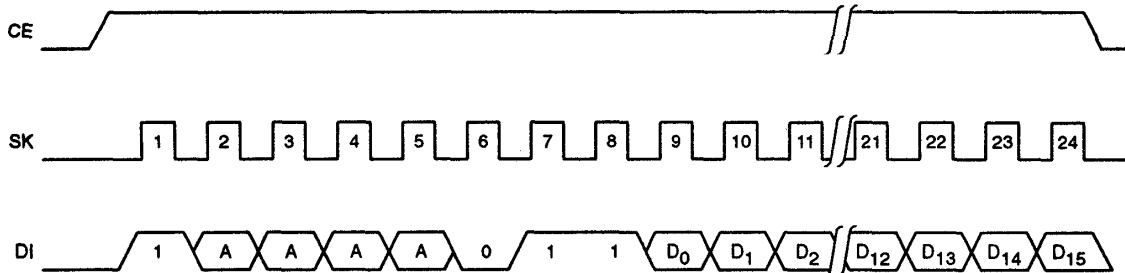


图2 RAM写

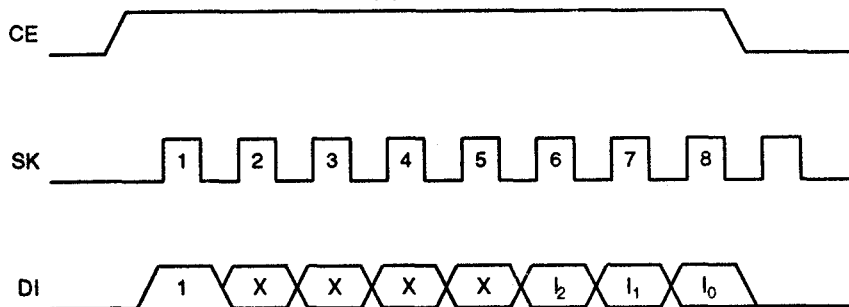


图3 无数据 (Non-Data) 操作

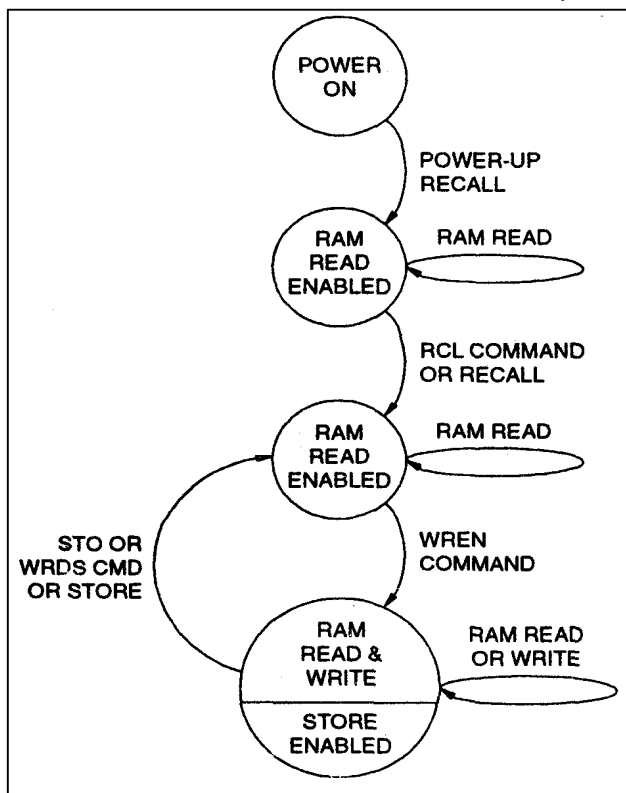


图4 X24C44状态图

三、特性

3.1 极限参数*

- 工作温度 -65 至+135
- 存储温度 -65 至+150
- 任何引脚相对于V_{SS}的电压 -1V至7V
- 直流输出电流 5mA
- 引脚温度 (焊接, 10秒) 300

* 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限参数条件下或在任何其它超出推荐工作条件中所示参数的情况下器件能有效地工作。延长在极限参数下的工作时间会影响器件的可靠性。

3.2 推荐的工作条件

温度	Min	Max
商用	0	70
工业用	-40	+85
军用	-55	+125

电源电压	极限值
X24C44	5V±10%

3.3 直流工作特性 (除非另有说明, 均在推荐的工作条件下)

Symbol	Parameter	Limits		Units	Test Conditions
		Min.	Max.		
I _{CC}	V _{CC} Supply Current (TTL Inputs)		10	mA	SK = 0.4V/2.4V Levels @ 1MHz, DO = Open, All Other Inputs = V _{IH}
I _{SB1}	V _{CC} Standby Current (TTL Inputs)		1	mA	DO = Open, CE = V _{IL} , All Other Inputs = V _{IH}
I _{SB2}	V _{CC} Standby Current (CMOS Inputs)		50	μA	DO = Open, CE = V _{SS} , All Other Inputs = V _{CC} - 0.3V
I _{LI}	Input Load Current		10	μA	V _{IN} = V _{SS} to V _{CC}
I _{LO}	Output Leakage Current		10	μA	V _{OUT} = V _{SS} to V _{CC}
V _{IL} (1)	Input LOW Voltage	-1	0.8	V	
V _{IH} (1)	Input HIGH Voltage	2	V _{CC} + 1	V	
V _{OL}	Output LOW Voltage		0.4	V	I _{OL} = 4.2mA
V _{OH}	Output HIGH Voltage	2.4		V	I _{OH} = -2mA

3.4 使用期限和数据保存期限

Parameter	Min.	Units
Endurance	100,000	Data Changes Per Bit
Store Cycles	1,000,000	Store Cycles
Data Retention	100	Years

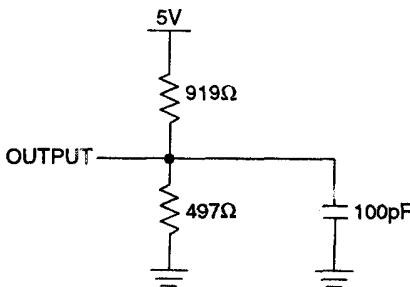
3.5 电容 (T_A=25 , f=1MHz, V_{CC}=5V)

Symbol	Parameter	Max.	Units	Test Conditions
C _{OUT} (2)	Output Capacitance	8	pF	V _{OUT} = 0V
C _{IN} (2)	Input Capacitance	6	pF	V _{IN} = 0V

注释: (1) V_{IL}min和V_{IH}max仅供参考且不测试

(3) 此参数周期性地被采样, 并非100%测试

3.6 等效交流负载电路



3.7 交流测试条件

Input Pulse Levels	0V to 3V
Input Rise and Fall Times	10ns
Input and Output Timing Levels	1.5V

3.8 交流工作特性 (除非另有说明, 均在推荐的工作条件下)

3.8.1 读和写周期极限值

Symbol	Parameter	Min.	Max.	Units
F _{SK} (3)	SK Frequency		1	MHz
t _{SKH}	SK Positive Pulse Width	400		ns
t _{SKL}	SK Negative Pulse Width	400		ns
t _{DS}	Data Setup Time	400		ns
t _{DH}	Data Hold Time	80		ns
t _{PD1}	SK to Data Bit 0 Valid		375	ns
t _{PD}	SK to Data Valid		375	ns
t _Z	Chip Enable to Output High Z		1	μs
t _{CES}	Chip Enable Setup	800		ns
t _{CEH}	Chip Enable Hold	350		ns
t _{CDS}	Chip Deselect	800		ns

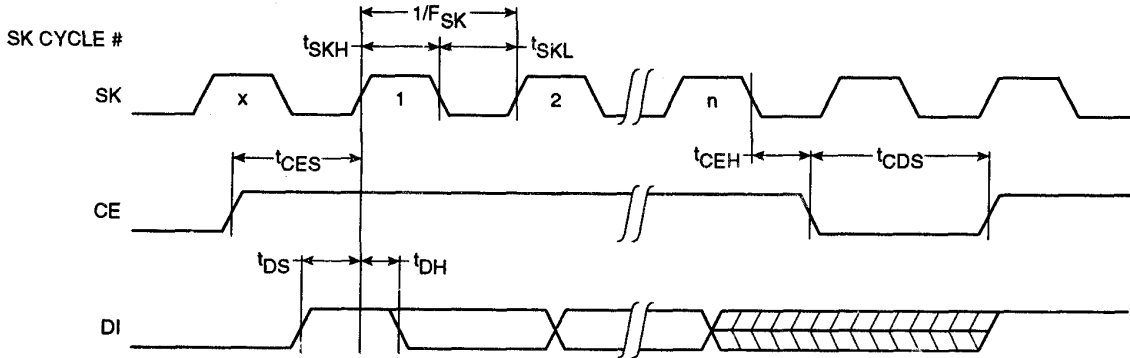
3.8.2 上电定时参数

Symbol	Parameter	Max.	Units
$t_{PUR}^{(4)}$	Power-up to Read Operation	200	μs
$t_{PUW}^{(4)}$	Power-up to Write or Store Operation	5	ms

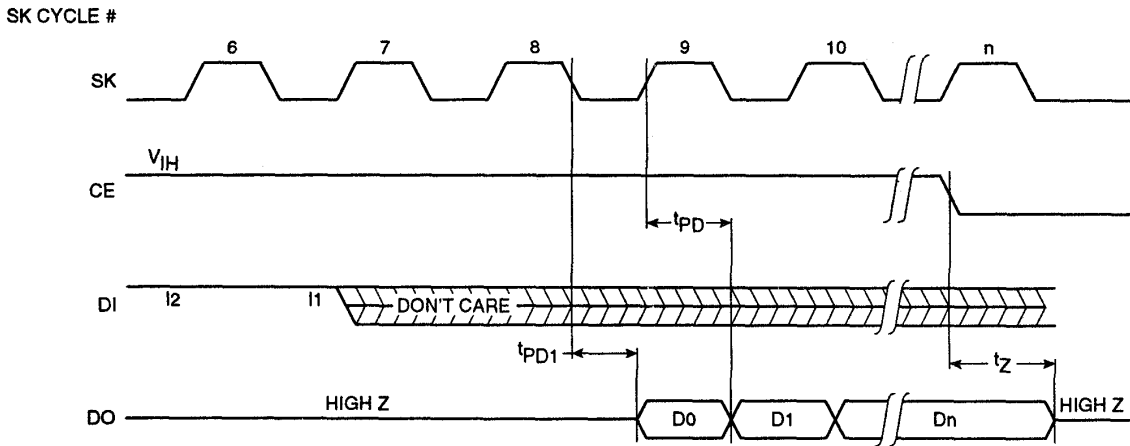
注释：(3) SK上升和下降时间必须小于50ns。

(4) t_{PUR} 和 t_{PUW} 是从 V_{CC} 稳定直至规定的工作可以开始所需的延迟。这些参数周期性地被采样，并非100%测试。

3.8.3 写周期时序图



3.8.4 读周期时序图



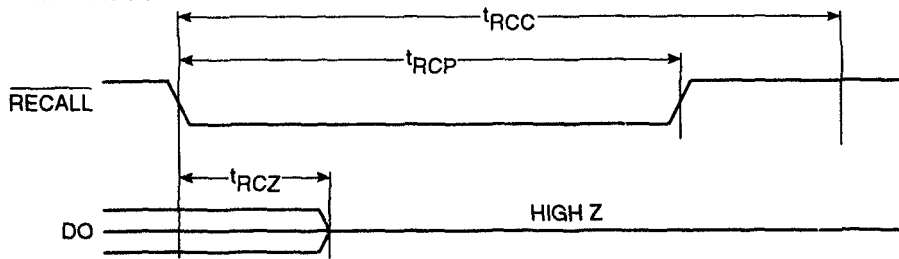
3.8.5 非易失性操作

操作	STORE	RECALL	软件指令	写允许锁存器状态	先前调用锁存器状态
硬件调用	1	0	Nop ⁽⁵⁾	X	X
软件调用	1	1	RCL	X	X
硬件调用	0	1	Nop ⁽⁵⁾	置位	置位
软件调用	1	1	STO	置位	置位

3.8.6 阵列调用参数极限值

Symbol	Parameter	Min.	Max.	Units
t_{RCC}	Recall Cycle Time	2		μs
t_{RCP}	Recall Pulse Width ⁽⁶⁾	500		ns
t_{RCZ}	Recall to Output in High Z		500	ns

3.8.7 调用时序图



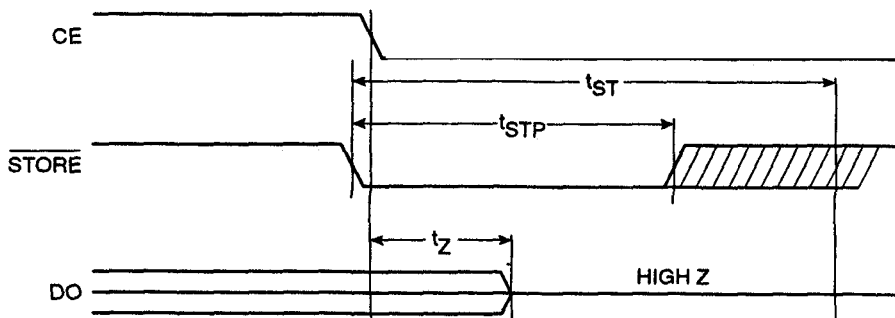
注释：(5) Nop表示X24C44不是正在执行指令

(6) Recall (调用) 上升时间必须 $10 \mu s$

3.8.8 存储周期参数的极限值

Symbol	Parameter	Min.	Typ.(7)	Max.	Units
t_{ST}	Store Time		2	5	ms
t_{STP}	Store Pulse Width	200			ns
t_z	CE to Output in High Z			1	μs
V_{CC}	Store Inhibit		3		V

3.8.9 存储时序图



注释：(7) 典型值是 $T_A=25$ 和额定电源电压条件下的数值。

3.9 符号表

WAVEFORM	INPUTS	OUTPUTS
	Must be steady	Will be steady
	May change from LOW to HIGH	Will change from LOW to HIGH
	May change from HIGH to LOW	Will change from HIGH to LOW
	Don't Care: Changes Allowed	Changing: State Not Known
	N/A	Center Line is High Impedance