

使用 CMOS 电路必须注意的问题

在电子制作中使用 CMOS 集成电路时，除了认真阅读产品说明或有关资料，了解其引脚分布及极限参数外，还应注意以下问题：

1、芯片电源问题

(1)、CMOS 集成电路的工作电压一般在 3 — 18 V，但当应用电路中有门电路的模拟应用（如脉冲振荡、线性放大）时，最低电压则不应低于 4.5 V。由于 CMOS 集成电路工作电压宽，故使用不稳压的电源电路 CMOS 集成电路也可以正常工作，但是工作在不同电源电压的器件，其输出阻抗、工作速度和功耗是不相同的，在使用中一定要注意。

(2)、CMOS 集成电路的电源电压必须在规定范围内，不能超压，也不能反接。因为在制造过程中，自然形成许多寄生二极管，如图 1 所示为反相器电路，在正常电压下，这些二极管皆处于反偏，对逻辑功能无影响，但是由于这些寄生二极管的存在，一旦电源电压过高或电压极性接反，就会使电路产生损坏。

(3)、CMOS 最小逻辑“1”的输入电平为 70%电源电压，最大逻辑“0”的输入电平为 30%的电源电压，采用较高的电源电压可以提高噪声容限。

2、驱动能力问题

在 CMOS 电路中除了三端输出器件外，不允许两个器件输出端并接，因为不同的器件参数不一致，有可能导致 NMOS 和 PMOS 器件同时导通，形成大电流。

为了增加电路的驱动能力，除选用驱动能力较强的缓冲器来完成之外，允许把同一芯片上的同类电路并联使用来提高 CMOS 电路的驱动能力，这时驱动能力提高到 N 倍（N 为并联门的数量）。

3、输出端的保护问题

(1)、MOS 器件输出端既不允许和电源短接，也不允许和地短接，否则输出级的 MOS 管就会因过流而损坏。

(2)、在 CMOS 电路中除了三端输出器件外，不允许两个器件输出端并接，因为不同的器件参数不一致，有可能导致 NMOS 和 PMOS 器件同时导通，形成大电流。但为了增加电路的驱动能力，允许把同一芯片上的同类电路并联使用。

(3)、当 CMOS 电路输出端有较大的容性负载时，流过输出管的冲击电流较大，易造成电路失效。为此，必须在输出端与负载电容间串联一限流电阻，将瞬态冲击电流限制在 10 mA 以下。

4、输入端的问题

CMOS 电路具有很高的输入阻抗，致使器件易受外界干扰、冲击和静电击穿，所以为了保护 CMOS 管的氧化层不被击穿，一般在其内部输入端接有二极管保护电路，R 约为 1.5 — 2.5 K Ω 。输入保护网络的引入使器件的输入阻抗有一定下降，但仍在 10 Ω 以上。这样也给电路的应用带来了一些限制。

(1)、多余不用输入管脚的处理

CMOS 电路的输入端不允许悬空，因为悬空会使电位不定，破坏正常的逻辑关系。另外，悬空时输入阻抗高，易受外界噪声干扰，使电路产生误动作，而且也极易造成栅极感应静电而击穿。所以“与”门，“与非”门的多余输入端要接高电平，“或”门和“或非”门的多余输入端要接低电平。若电路的工作速度不高，功耗也不需特别考虑时，则可以将多余输入端与使用端并联。COMS 电路是电压控制器件，它的输入阻抗很大，对于干扰信号的捕捉能力很强。所以，不用的管脚不要悬空，要接上拉电阻或者下拉电阻，给它一个恒定的电平。

在多数情况下，集成电路芯片的管脚不会全部被使用。例如 74ABT16244 系列器件最多可以使用 16 路 I/O 管脚，但实际上通常不会全部使用，这样就会存在悬空端子。所有数字逻辑器件的无用端子必须连接到一个高电平或低电平，以防止电流漂移(具有总线保持功能的器件无需处理不用输入管脚)。究竟上拉还是下拉由实际器件在何种方式下功耗最低确定。244、16244 经测试在接高电平时静态功耗较小，而接地时静态功耗较大，故建议其无用端子处理以通过电阻接电源为好，电阻值推荐为 1~10K。

(2)、输入端接长导线时的保护

当接长信号传输线时，在 COMS 电路端接匹配电阻。在应用中有时输入端需要接长的导线，而长输入线必然有较大的分布电容和分布电感，易形成 LC 振荡，特别当输入端一旦发生负电压，极易破坏 CMOS 中的保护二极管。其保护办法为在输入端处接一个电阻， $R = V_{DD} / I_{mA}$ 。

(3)、输入信号的上升和下降时间

输入信号的上升和下降时间不易过长，否则一方面容易造成虚假触发而导致器件失去正常功能，另一方面还会造成大的损耗。对于 74HC 系列限于 0.5 μs 以内。若不满足此要求，需用施密特触发器件进行输入整形。

(4)、输入电路的过流保护

COMS 的输入电流超过 1mA，就有可能烧坏 COMS。CMOS 电路输入端的保护二极管，其导通时电流容限一般为 1 mA。在可能出现过大瞬态输入电流(超过 10 mA)时，应串接输入保护电阻。例如，当输入端接的信号，其内阻很小、或引线很长、或输入电容较大时，在接通和关断电源时，就容易产生较大的瞬态输入电流，这时必须接输入保护电阻，若 $V_{DD} = 10V$ ，则取限流电阻为 10 KΩ 即可。当输入端接大电容时，应该在输入端和电容间接保护电阻。电阻值为 $R = V_0 / I_{mA}$ 。V₀ 是外界电容上的电压。输入端接低内阻的信号源时，要在输入端和信号源之间要串联限流电阻，使输入的电流限制在 1mA 之内。

(5)、输入信号必须在 V_{DD} 到 V_{SS} 之间，以防二极管因正向偏置电流过大而烧坏。因此在工作或测试时，必须按照先接通电源后加入信号，先撤除信号后关电源的顺序进行操作。在安装，改变连接，拔插时，必须切断电源，以防元件受到极大的感应或冲击而损坏。

(6)、由于保护电路吸收的瞬间能量有限，太大的瞬间信号和过高的静电电压将使保护电路失去作用。所以焊接时电烙铁必须可靠接地，以防漏电击穿器件输入端，一般使用时，可断电后利用电烙铁的余热进行焊接，并先焊其接地管脚。

(7)、要防止用大电阻串入 V_{DD} 或 V_{SS} 端，以免在电路开关期间由于电阻上的压降引起保护二极管瞬时导通而损坏器件。

5、CMOS 的接口电路问题

(1)、CMOS 与 TTL 等其它电路的连接。在电路中常遇到 TTL 电路和 CMOS 电路混合使用的情况，由于这些电路相互之间的电源电压和输入、输出电平及负载能力等参数

不同,因此他们之间的连接必须通过电平转换或电流转换电路,使前级器件的输出的逻辑电平满足后级器件对输入电平的要求,并不得对器件造成损坏。逻辑器件的接口电路主要应注意电平匹配和输出能力两个问题,并与器件的电源电压结合起来考虑。下面分两种情况来说明。

TTL到CMOS的连接。用TTL电路去驱动CMOS电路时,由于CMOS电路是电压驱动器件,所需电流小,因此电流驱动能力不会有问题,主要是电压驱动能力问题,TTL电路输出高电平的最小值为2.4V,而CMOS电路的输入高电平一般高于3.5V,这就使二者的逻辑电平不能兼容。为此可采用图7所示电路,在TTL的输出端与电源之间接一个电阻R(上拉电阻)可将TTL的电平提高到3.5V以上。若采用的是OC门驱动,则可采用如图8所示电路。其中R为其外接电阻。R的取值一般在1—4.7KΩ。

CMOS到TTL的连接。CMOS电路输出逻辑电平与TTL电路的输入电平可以兼容,但CMOS电路的驱动电流较小,不能够直接驱动TTL电路。为此可采用CMOS/TTL专用接口电路,如CMOS缓冲器CC4049等,经缓冲器之后的高电平输出电流能满足TTL电路的要求,低电平输出电流可达4mA,实现CMOS电路与TTL电路的连接。需说明的时,CMOS与TTL电路的接口电路形式多种多样,实用中应根据具体情况进行选择。

(2)、CMOS电路与运放连接。当和运放连接时,若运放采用双电源,CMOS采用的是独立的另一组电源,则需加两个箝位二极管VD1、VD2做为箝位保护二极管,使CMOS输入电压处在10V与地之间。15KΩ的电阻既作为CMOS的限流电阻,又对二极管进行限流保护。若运放使用单电源,且与CMOS使用的电源一样,则可直接相连。

(3)、选择板内驱动器件的驱动能力,速度,不能盲目追求大驱动能力和高速的器件,应该选择能够满足设计要求,同时有一定的余量的器件,这样可以减少信号过冲,改善信号质量。并且在设计时必须考虑信号匹配。

(4)、在对驱动能力和速度要求较高的场合,如高速总线型信号线,可使用ABT、LVT系列。板间接口选择ABT16244/245或LVTH16244/245,并在母板两端匹配,在不影响速度的条件下与母板接口尽量串阻,以抑制过冲、保护器件,典型电阻值为10—200Ω左右,另外,也可以使用并接二极管来进行处理,效果也不错,如1N4148等(抗冲击较好)。

(5)、在总线达到产生传输线效应的长度后,应考虑对传输线进行匹配,一般采用的方式有始端匹配、终端匹配等。始端匹配是在芯片的输出端串接电阻,目的是防止信号畸变和地弹反射,特别当总线要透过接插件时,尤其须做始端匹配。内部带串联阻尼电阻的器件相当于始端匹配,由于其阻值固定,无法根据实际情况进行调整,在多数场合对于改善信号质量收效不大,故此不建议推荐使用。始端匹配推荐电阻值为10~51Ω,在实际使用中可根据IBIS模型模拟仿真确定其具体值。

由于终端匹配网络加重了总线负载,所以不应该因为匹配而使Buffer的实际驱动电流大于驱动器件所能提供的最大Source、Sink电流值。应选择正确的终端匹配网络,使总线即使在没有任何驱动源时,其线电压仍能保持在稳定的高电平。

(6)、要注意高速驱动器件的电源滤波。如ABT、LVT系列芯片在布线时,建议在芯片的四组电源引脚附近分别接0.1μ或0.01μ电容。

(7)、可编程器件任何电源引脚、地线引脚均不能悬空;在每个可编程器件的电源和地间要并接0.1μF的去耦电容,去耦电容尽量靠近电源引脚,并与地形成尽可能小的环路。

(8)、收发总线需有上拉电阻或上下拉电阻,保证总线浮空时能处于一个有效电平,以减

小功耗和干扰。

(9)、373/374/273 等器件为工作可靠, 锁存时钟输入建议串入 10—200 欧电阻。

(10)、时钟、复位等引脚输入往往要求较高电平, 必要时可上拉电阻。

(11)、注意不同系列器件是否有带电插拔功能及应用设计中的注意事项, 在设计带电插拔电路时请参考公司的《单板带电插拔设计规范》。

(12)、注意电平接口的兼容性。选用器件时要注意电平信号类型, 对于有不同逻辑电平互连的情况, 请遵守本规范的相应的章节的具体要求。

(13)、在器件工作过程中, 为保证器件安全运行, 器件引脚上的电压及电流应严格控制在器件手册指定的范围内。逻辑器件的工作电压不要超出它所允许的范围。

(14)、逻辑器件的输入信号不要超过它所能允许的电压输入范围, 不然可能会导致芯片性能下降甚至损坏逻辑器件。

(15)、对开关量输入应串电阻, 以避免过压损坏。

(16)、对于带有缓冲器的器件不要用于线性电路, 如放大器。

(17)、防止 COMS 电路的锁定效应。COMS 电路由于输入太大的电流, 内部的电流急剧增大, 除非切断电源, 电流一直在增大。这种效应就是锁定效应。当产生锁定效应时, COMS 的内部电流能达到 40mA 以上, 很容易烧毁芯片。防御措施如下:

- A) 在输入端和输出端加钳位电路, 使输入和输出不超过规定电压。
- B) 芯片的电源输入端加去耦电路, 防止 VDD 端出现瞬间的高压。
- C) 在 VDD 和外电源之间加线流电阻, 即使有大的电流也不让它进去。
- D) 当系统由几个电源分别供电时, 开关要按下列顺序: 开启时, 先开启 COMS 电路得电源, 再开启输入信号和负载的电源; 关闭时, 先关闭输入信号和负载的电源, 再关闭 COMS 电路的电源。

6、COMS电路的静电防护

所有 MOS 集成电路 (包括 P 沟道 MOS, N 沟道 MOS, 互补 MOS — CMOS 集成电路) 都有一层绝缘栅, 以防止电压击穿。一般器件的绝缘栅氧化层的厚度大约是 25nm、50nm、80nm 三种。在集成电路高阻抗栅前面还有电阻——二极管网络进行保护, 虽然如此, 器件内的保护网络还不足以免除对器件的静电损害 (ESD), 实验指出, 在高电压放电时器件会失效, 器件也可能为多次较低电压放电的累积而失效。

输入端的静电防护。虽然各种 CMOS 输入端有抗静电的保护措施, 但仍需小心对待, 在存储和运输中最好用金属容器或者导电材料包装, 不要放在易产生静电高压的化工材料或化纤织物中。组装、调试时, 工具、仪表、工作台等均应良好接地。要防止操作人员的静电干扰造成的损坏, 如不宜穿尼龙、化纤衣服, 手或工具在接触集成块前最好先接一下地。对器件引线矫直弯曲或人工焊接时, 使用的设备必须良好接地。

按损伤的严重程度静电损害有多种形式, 最严重的也是最容易发生的是输入端或输出端的完全破坏以至于与电源端 VDD GND 短路或开路, 器件完全丧失了原有的功能。稍次一等严重的损害是出现断续的失效或者是性能的退化, 那就更难察觉。还有一些静电损害会使泄漏电流增加导致器件性能变坏。

由于不可避免的短时间操作引起的高静电电压放电现象, 例如人在打腊地板上走动时会引起高达 4KV - 15KV 的静电高压, 此高压与环境湿度和表面的条件有关, 因而在使用 CMOS 、

NMOS 器件时必须遵守下列预防准则：

- (1)、不要超过手册上所列出的极限工作条件的限制。
- (2)、器件上所有空闲的输入端必须接 VDD 或 VSS，并且要接触良好。
- (3)、所有低阻抗设备（例如脉冲信号发生器等）在接到 CMOS 或 NMOS 集成电路输入端以前必然让器件先接通电源，同样设备与器件断开后器件才能断开电源。
- (4)、包含有 CMOS 和 NMOS 集成电路的印刷电路板仅仅是一个器件的延伸，同样需要遵守操作准则。从印刷电路板边缘的接插件直接联线到器件也能引起器件损伤，必须避免一般的塑料包装，印刷电路板接插件上的 CMOS 或 NMOS 集成电路的地址输入端或输出端应当串联一个电阻，由于这些串联电阻和输入电容的时间常数增加了延迟时间。这个电阻将会限制由于印刷电路板移动或与易产生静电的材料接触所产生的静电高压损伤。
- (5)、所有 CMOS 和 NMOS 集成电路的储存和运输过程必须采用抗静电材料做成的容器，而不能按常规将器件插入塑料或放在普通塑料的托盘内，直到准备使用时才能从抗静电材料容器中取出来。
- (6)、所有 CMOS 和 NMOS 集成电路应当放置在接地良好的工作台上，鉴于工作人员也能对工作台产生静电放电，所以工作人员在操作器件之前自身必须先接地，为此建议工作人员要用牢固的导电带将手腕或肘部与工作台表面连接良好。
- (7)、尼龙或其它易产生静电的材料不允许与 CMOS 和 NMOS 集成电路接触。
- (8)、在自动化操作过程中，由于器件的运动，传送带的运动和印刷电路板的运动可能会产生很高的静电压，因此要在车间内使用电离空气鼓风机和增湿机使室内相对湿度在 35% 以上，凡是能和集成电路接触的设备顶盖、底部、侧面部分均要采用接地的金属或其它导电材料。
- (9)、冷冻室要用二氧化碳制冷，并且要放置隔板，而器件必须放在导电材料的容器内。
- (10)、需要扳直外引线 and 用手工焊接时，要采用手腕接地的措施，焊料罐也要接地。
- (11)、波峰焊时要采用下面措施：
 - a、波峰焊机的焊料罐和传送带系统必须接真地。
 - b、工作台采用导电的顶盖遮盖，要接真地。
 - c、工作人员必须按照预防准则执行。
 - d、完成的工件要放到抗静电容器中，优先送到下一道工序去。
- (12)、清洗印刷电路板要采用下列措施：
 - a、蒸气去油剂和篮筐必须接真地，工作人员同样要接地。
 - b、不准使用刷子和喷雾器清洗印数电路板。
 - c、从清洗篮中拿出来的工件要立即放入蒸汽去油剂中。
 - d、只有在工件接地良好或在工件上采用静电消除器后才允许使用高速空气和溶剂。
- (13)、必须有生产线监督者的允许才能使用静电监测仪。
- (14)、在通电状态时不准插入或拔出集成电路，绝对应当按下列程序操作：
 - a、插上集成电路或印刷电路板后才通电。
 - b、断电后才能拔出集成电路或印刷电路板。
- (15)、告诫使用 MOS 集成电路的人员，决不能让操作人员直接与电气地相连，为了安全的原因，操作人员与地气之间的电阻至少应有 100K。
- (16)、操作人员使用棉织品手套而不要用尼龙手套或橡胶手套。
- (17)、在工作区，禁止使用地毯。

(18)、除非绝对必要外，都不准工作人员触摸 CMOS 或 NMOS 器件的引线端子。