

基于 USB 口的多用数据下载线设计

Design of multifunctional data download cable based on USB interface

项立 李华 莫长江 (广东湛江师范学院 524048)

摘要:介绍了使用 CPLD 与 USB 接口配合,对支持 ISP 编程模式的 MCU、FPGA、DSP 进行编程的设计方法,此下载线具有较大的灵活性和良好的可扩展性。

关键词:下载线 ISP USB

1 引言

在现代数字系统设计中,在系统可编程器件的应用越来越广,ISP(在系统编程)器件无需编程器,可通过下载电缆直接对安装在用户目标板上的器件编程,从而给电子产品的设计和生

产带来许多革命性的变化。但同时也有着如下问题。

- (1) 各厂商所使用的下载线并不能通用。
- (2) 使用并口下载存在着占用了端口资源及下载速度较之器件允许速度为慢。

FT245BM 配合实现如上功能。此下载线的下载速度可根据芯片类型、待编程芯片实际工作频率以较高速度来完成下载配置功能。

2 系统硬件组成及工作原理

下载线系统包括通信软件和硬件两部份,通信软件包括运行于 PC 的上位机软件和下载线上运行于 CPLD 器件 EPM7128 上的监控软件,系统硬件包括下载线的全部内容,

其原理图如图 1 所示,由监控芯片 EPM7128 和 USB 接口芯片 FT245BM 等组成。系统正常工作时,一端接 PC 机的 USB 接口,一端通过编程插头接目标板。电路的工作原理是:运行于 PC 机上位机的编程软件发送的编程命令和数据,首先通过 USB 构成的虚拟串口传至下载线 FT245BM 中构成 USB→I/O 转换,转换出八位信

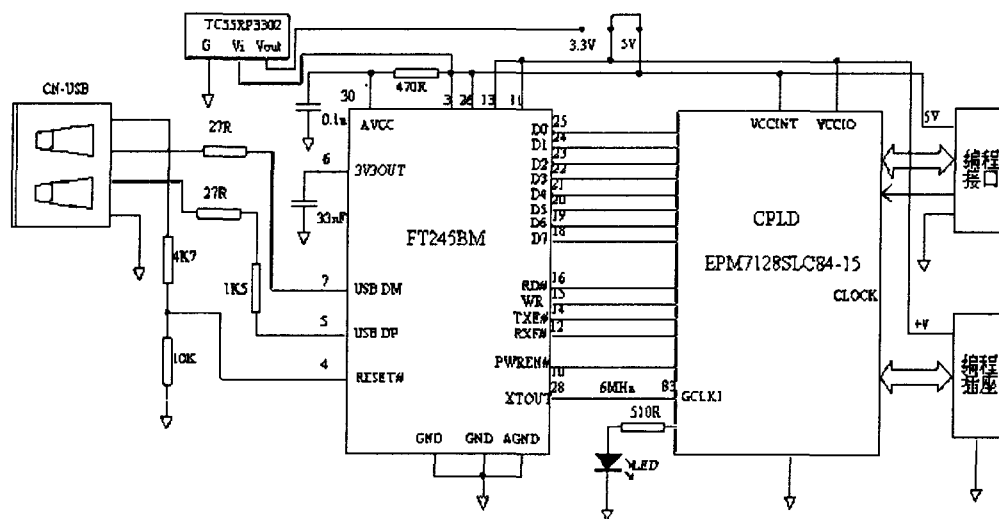


图 1 系统原理图

(3) 使用并口下载时由于各用户使用的计算机硬件及操作系统的不同,也可能导致下载时序紊乱而使下载失败。

本文 MCU 以 Atmel 公司的 S51 为例,FPGA 以 Altera 公司的 FLEX 10K 系列为例、DSP 以 Ti 公司的 TMS320VC5402 (以下简称 C5402) 为例,说明如何通过 CPLD 芯片 EPM7128SLC84 (以下简称 EPM7128) 与 USB 接口芯片

号由 EPM7128 进行接收,EPM7128 内的监控程序对接收的数据进行分析,完成和上位机的通信及对分析后数据的处理。根据不同芯片编程时信号引脚数目的不同,在电路板上设计为兼容 10、14 脚的兼容插座。同时,通过接口将目标下载芯片的晶振时钟信号引入,目的是根据芯片允许的下载速度将此时钟信号作为编程下载时钟的依据(比如说 ATME1 的 89S 系列单片机编程下载时钟不得高于此频率的 1/16)。相

同的系统通过编程插头和目标板的地线接通,并从目标板获得 5V 电源;也可以适当修改此电路从 USB 口或者外接电源获得 5V 电压。为兼容某些芯片接口使用 3.3V 电压,电路使用 TC55RP3302 将 5V 电压转换为 3.3V,通过板上跳线使 FT245BM 和 EPM7128 的 I/O 口工作于 5V 或 3.3V 模式。

3 目标器件编程特性及算法

MCU、FPGA、DSP 三类器件,虽其编程特性及算法不相同,但编程过程可普遍概括为编程器件初始化、数据下载及编程结束后的运行初始化三个过程,现以上述三类器件分别举例如下:

3.1 对 MCU 的配置

以 ATMEL 的 89S 及 90 系列的编程状态进行说明。

(1) 识别上位机送来的指令信号并进入 MCU 编程模式,设置待编 MCU 外围引脚为编程状态,89S 系列的 RST 引脚在编程时为“1”有效,而 90 系列相反。

(2) 接收上位机发送的 ISP 编程所允许的时钟倍数,识别编程插口有无 CLOCK 返回信号,若有,根据时钟倍数对此信号进行适当的分频,以获得较快的下载速度;若无 CLOCK 返回信号,则以内部固定的较低频率进行整个配置过程。

(3) 在上位机指令下接收数据并转换为串行数据,在 (2.1.2) 产生的时钟配合下送至单片机“MOSI”。

(4) 根据上位机的指令返回“MISO”信号。

(5) 循环 (2.1.3)、(2.1.4),可对芯片进行编程,能使芯片擦除、读、写程序、加密等操作。

3.2 FPGA 器件的编程

目前,主要的 FPGA 器件生产商有 Altera、Xilinx、Lattice 三家,其产品大多支持 ISP 下载,本文以 Altera 公司的 FLEX10K 器件采用 PS (Passive Serial 无源串行配置) 举例如下:

(1) nCONFIG = “0”、DCLK = “0”,保持 2uS 以上。

(2) 检测 nSTATUS = “0”,如果为“0”,表明 FPGA 已响应配置要求,可开始进行配置。否则报错。正常情况下,nCONFIG = “0”后 1uS 内 nSTATUS 将为“0”。

(3) nCONFIG = “1”,并等待 5uS。

(4) Data0 上放置数据 (LSB first),DCLK = “1”,延时。

(5) DCLK = “0”,并检测 nSTATUS,若为“0”,则报错并重新开始。

(6) 准备下一个数据,并重复执行 (2.2.4) (2.2.5),直到所有数据送出为止。

(7) 此时 Conf_done 应变为“1”,表明 FPGA 的配置已完

成。如果所有数据送出后,Conf_done 不为“1”,必须重新配置(从步骤(1)开始)。

(8) 配置完成后,再送出 10 个周期的 DCLK,以使 FPGA 完成初始化。

3.3 对 DSP 的配置:下载线提供两种配置方式

(1) 直接对 C5402 进行 8 位并行 I/O 自举引导方式。

(2) 设置电路板上 I/O 电压工作于 3.3V 模式。

(3) 设置 MP/MC = “0”,使指令从片内 ROM 的 FF80h 地址开始执行。

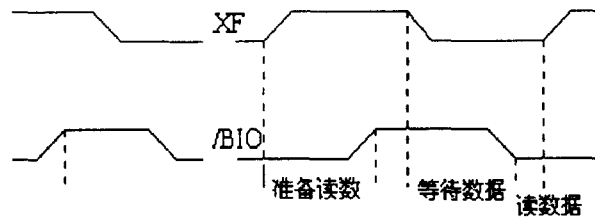


图 2 握手信号时序

(4) 芯片复位并对 C5402 的 D0 ~ D7 口提供“08h”及“AAh”的数据,使其进入 8 位并行 I/O 引导模式,其信号握手方式如图 2 所示,当 /BIO 为低时,C5402 从 I/O 读入数据。图 3 是 8 位并行 I/O Bootloader 程序流程图。

通过下载线上的编程插座对 Flash 芯片 SST39VF400A 等进行烧录后直接在目标板上进行并行引导,其具体方法可参考文献 4。

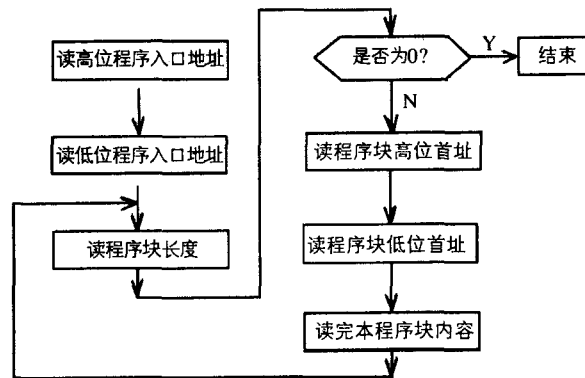


图 3 8 位并行 I/O Bootloader 程序框图

4 通信程序的编制

通信程序包含两部份:运行于监控芯片的监控程序和运行于 PC 的上位机软件。监控程序是系统的核心部份,负责接收 PC 上位机发来的指令,并执行指令,即根据指令的性

质,一方面完成和上位机的通信,一方面结合上一部份介绍的编程命令,完成目标器件的编程。

4.1 监控程序的设计与实现

监控芯片采用 EMP7128 可编程逻辑器件,使用自己编制的上位机软件,与 USB 接口芯片 FT245BM 进行通信。监控程序接收 PC 机发来的指令格式如下。

(1) 高 4 位为命令位,低 4 位根据高 4 位的不同,可以用作命令位,也可以是数据位。

(2) 当高 4 位为"1111"时,监控程序将对低 4 位指定某一类型的待编芯片进行外围引脚的初始化设置。同时根据需要读入芯片的时钟并分频。

(3) 高 4 位为"1000"时,为数据传输命令,监控芯片将把低 4 位读入数据在(3.1.2)中时钟的配合下写入芯片中。

(4) 高 4 位为"1100"时,表示 PC 机要对监控芯片所控制的某数据进行监测,根据此时低 4 位所代表命令的不同,可监测下载接口、监控芯片内部某些重要的数据,监控芯片将指定的信息采集后通过 USB 口回传给 PC,作为 PC 监测并分析下载过程的信息来源。

4.2 PC 机上位机软件的设计与实现

4.2.1 文件格式

(1) MCU 的文件格式。由编程软件生成的 Intel hex 烧录文件,是由一条或多条记录组成,每条记录都由一个冒号":"打头,格式如下:

```
.CCAAAARR...ZZ
```

CC 代表本条记录中的数据字节数;AAAA 代表本条记录中的数据在存储区中的起始地址;RR 代表记录类型,记录类型又分为如下几种:

00 数据记录

01 结束记录

02 扩展段地址记录,HEX86 文件

03 扩展线性地址记录,HEX386 文件

...代表数据域,ZZ 表示数据域校验和。

Intel hex 文件记录中的数字都是 16 进制,两个 16 进制数字代表一个字节。CC 域是数据域中的实际字节数,地址、记录类型、校验和域没有计算在内。校验和是取记录中从数据字节计数域(CC)到数据域(...)最后一个字节的所有字节总和的 2 的补码。由以上分析得知,实际写入单片机的字节数应该比 Intel hex 烧录文件的二分之一还要小。

(2) FPGA 的文件格式。MAX + plusII 或 QuartusII 生成的 SOF 或 POF 文件不能直接用于下载线配置 10K 系列,需要使

用软件中"File"下的"Convert SRAM object Files..."选项进行格式转换,将其转换成 rbf(SequentII)或 HEX 格式进行使用。

(3) DSP 的文件格式。C5402 的数值转换工具为 hex500.exe,可将仿真通过的.out 文件转为.HEX,供 PC 机直接使用。

4.2.2 PC 上位机通信软件的设计

上位机软件是用来对烧录文件进行数据提取、对下载线发送命令及对下载线返回的监控信息进行判断和处理的。上位机同 USB 接口的通信是由 FIDI 公司免费提供的虚拟串行口 VCP(Virtual Com Port)程序来驱动,该驱动程序兼容 Windows 98/98SE、Windows 2000/ME/XP 等不同版本。应用 VB 对虚拟串口(通常为 COM3)进行应用编程。我们直接应用 MSComm 控件,将 MSComm3.CommPort 置为 3,MSComm3.Settings 置为 9600,n,8,1(该速度为默认设置,实际上 VCP 驱动程序总是使数据以最快速度传输);通过 MSComm3.PortOpen 设置 COM3 的开关状态,通过 MSComm3.Input 和 MSComm3.Output 读入或输出数据。在读取数据时,设置 MSComm3.Rthreshold 的值为"1"。只要有数据传到 PC 机,就立即触发 MSComm3.CommEvent 事件,自动读取 COM3 的数据;而发送数据则可自动或手动发送,由用户自己设置。

5 结束语

在系统编程(ISP)技术是目前国际、国内数字系统设计领域正在发展中的技术。其目标在于使用户在不改变用户系统 PCB 的条件下,直接对用户系统板上的 ISP 芯片进行功能上、逻辑上的修正和更新,从而使研制中的用户数字系统不断趋于完善,使已在运行的用户系统不断得以升级,本文介绍的采用 CPLD 控制的、基于 USB 口通信的多用数据下载电缆的成功研制,为该技术走出实验室,实现真正意义上的在系统编程,提供了一种实用便利的方式和部件,已在实践中获得应用。

参考文献

- 1 FT245BM Designers Guide, Future Technology Devices Intl. Ltd, 2002/2003.
- 2 AT89S51 preliminary, Atmel Corporation, 2001.
- 3 Configuring SRAM - Based LUT Devices, ALTERA, 2001.
- 4 TMS320VC5402A/VC5409A/VC5410A/VC5416 Bootloader, Texas Instruments, 2004.