

# 数字录音机硬件设计

# 第一章 系统硬件设计

## 1.1 硬件系统框图

如图 3-1 所示：系统硬件系统由单片机控制电路、语音输出电路、USB 接口电路、存储器电路以及计算机等几部分组成，各模块间的连接方式如图 3-1 所示，下面来分别介绍各模块功能。

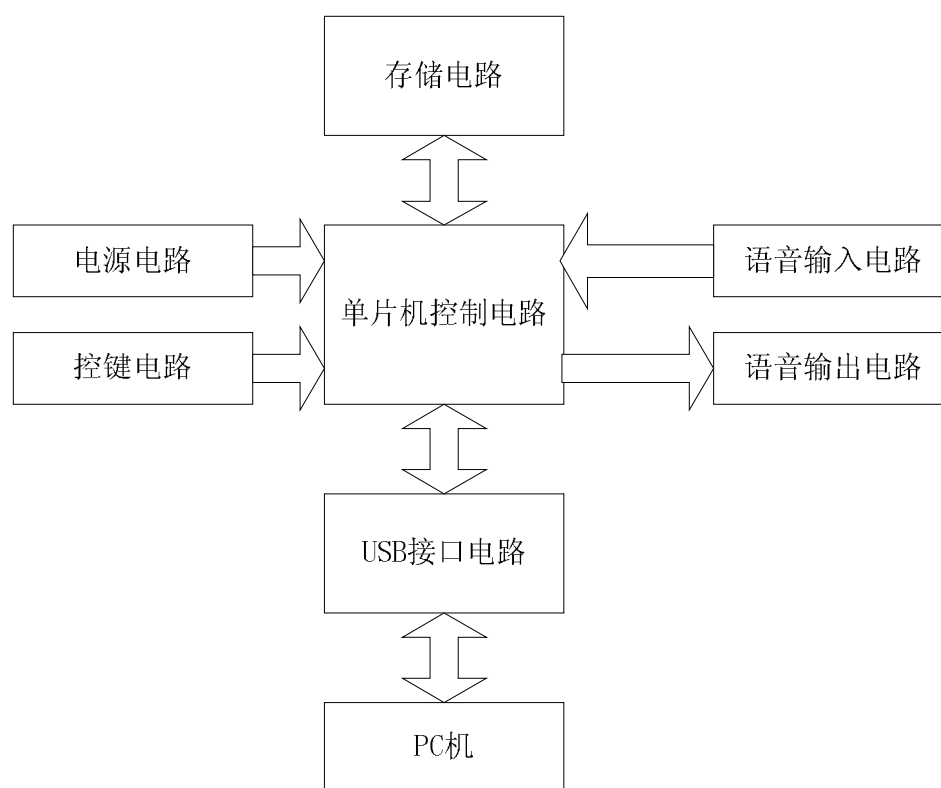


图 3-1 硬件系统整体框图

## 1.2 单片机控制电路

单片机控制电路由 SPCE061A 芯片，复位电路，时钟电路等组成。原理图如图 3-2 所示。

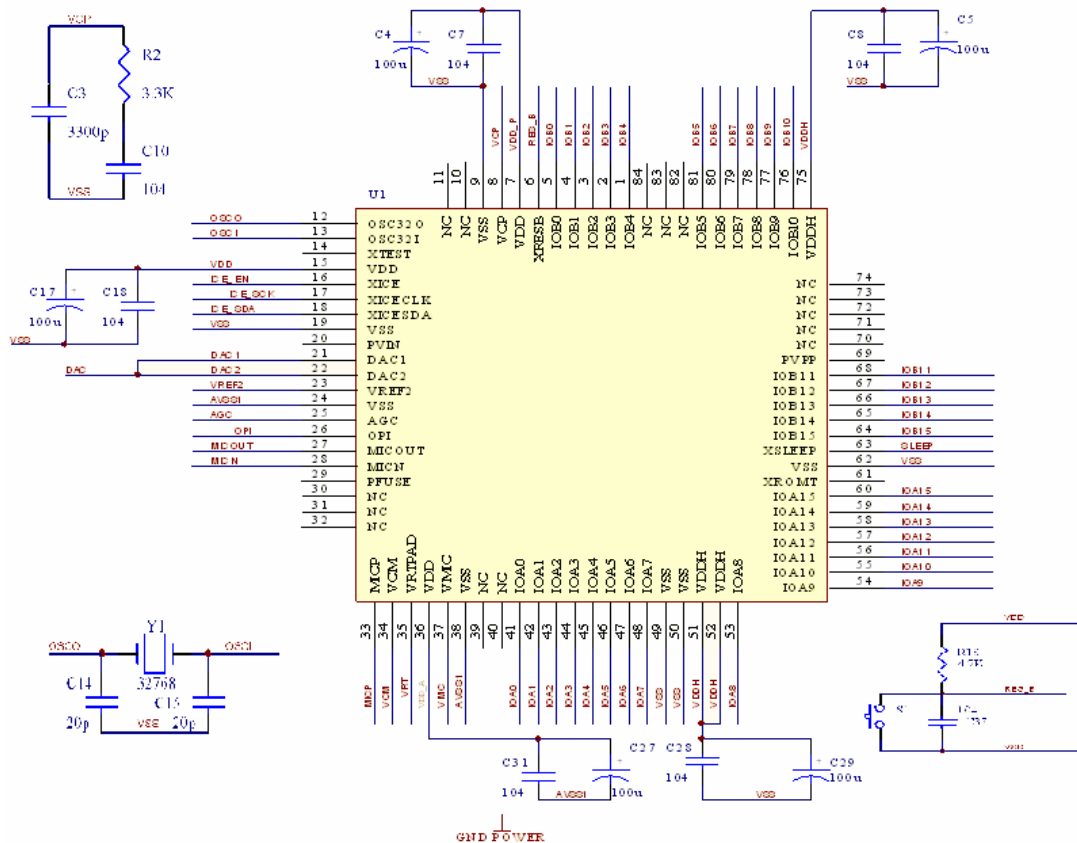


图 3-2 单片机控制电路原理图

### 1、SPCE061A 芯片介绍

SPCE061A 是凌阳科技研发生产的性价比很高的一款十六位单片机，使用它可以非常方便灵活的实现语音的录放系统，该芯片拥有 8 路 10 位精度的 ADC，其中一路为音频转换通道，并且内置有自动增益电路。这为实现语音录入提供了方便的硬件条件。两路 10 精度的 DAC，只需要外接功放（SPY0030A）即可完成语音的播放。

#### SPCE061A 芯片特性：

16 位  $\mu'nSP$  微处理器；

工作电压：内核工作电压 VDD 为 2.6~3.6V(CPU)，IO 口工作电压 VDDH 为 VDD~5.5V(I/O)；

CPU 时钟：0.32MHz ~ 49.152MHz；

内置 2K 字 SRAM；

内置 32K 闪存 ROM；

可编程音频处理；

晶体振荡器；

系统处于备用状态下(时钟处于停止状态)，耗电小于  $2\mu A@3.6V$ ；

2 个 16 位可编程定时器/计数器(可自动预置初始计数值)；

2 个 10 位 DAC(数-模转换)输出通道;  
32 位通用可编程输入/输出端口;  
14 个中断源可来自定时器 A/B, 时基, 2 个外部时钟源输入, 键唤醒;  
具备触键唤醒的功能;  
使用凌阳音频编码 SACM\_S240 方式(2.4K 位/秒), 能容纳 210 秒的语音数据;  
锁相环 PLL 振荡器提供系统时钟信号;  
32768Hz 实时时钟;  
7 通道 10 位电压模-数转换器(ADC)和单通道声音模-数转换器;  
声音模-数转换器输入通道内置麦克风放大器和自动增益控制(AGC)功能;  
具备串行设备接口;  
低电压复位(LVR)和低电压监测(LVD)功能;  
内置在线仿真板(ICE, In-Circuit Emulator)接口。

## 2、时钟电路

$\mu$ 'nSPTM 的时钟电路采用晶体振荡器电路。32768 振荡器的两个引脚分别与两个电容相连, 振荡器起振要在一定电压值下才能起振。这两个电容叫负载电容, 保持一个恒定的偏置电压供给。电容只是保持这个固定的电压值, 不起其他的作用。不同晶振需要不同的电压, 和容值是有关系的。一般单片机的晶振工作于并联谐振状态, 也可以理解为是谐振电容的一部分。它是根据晶振厂家提供的晶振要求负载电容选值的, 换句话说, 晶振的频率就是在它提供的负载电容下测得的, 能最大限度的保证频率值的误差。也能保证温漂等误差。两个电容的取值都是相同的, 或者说相差不大, 如果相差太大, 容易造成谐振的不平衡, 容易造成停振或者干脆不起振。

## 3、复位电路

复位电路的主要作用就是恢复系统默认值, 它采用按键与电容并联, 当按键按下时 RES\_B 与 VSS 短接, 使得电容放电 RES\_B 与 VSS 相同, RES\_B 与 SPCE061A 的 6 脚(XRESB)相连, 达到电路复位的作用。当按下控键按键后系统从新开始工作, 或是说单片机里的程序从第一条运行。

## 4、锁相环电路

系统要正常工作需要外部的输入信号与内部的振荡信号同步, 利用锁相环电路就可以实现这个目的。锁相环的特点是: 利用外部输入的参考信号控制环路内部振荡信号的频率和相位。因锁相环可以实现输出信号频率对输入信号频率的自动跟踪, 所以锁相环通常用于闭环跟踪电路。锁相环在工作的过程中, 当输出信号的频率与输入信号的频率相等时, 输出电压与输入电压保持固定的相位差值, 即输出电压与输入电压的相位被锁住, 这同时也是锁相环名称的由来。PLL 通过比较外部信号的相位和由压控晶振的相位来实现同步的, 在比较的过程中, 锁相

环电路会不断根据外部信号的相位来调整本地晶振的时钟相位，直到两个信号的相位同步。在数据采集系统中，锁相环是一种非常有用的同步技术，因为通过锁相环，可以使得不同的数据采集板卡共享同一个采样时钟。

### 1.3 控键电路

键控电路是用于控制系统状态的电路。键控电路图如图 3-3 所示。

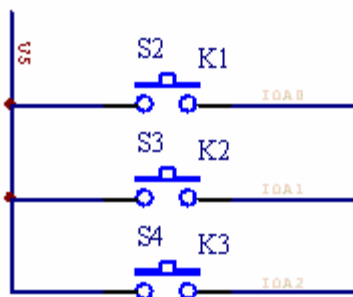


图 3-3 键控电路原理图

K1、K2、K3 分别和 SPCE061A 的 IOA0、IOA1、IOA2 相连，他们的作用分别为：放音，停止和录音。每个按键的按下与抬起都会送给 IOA 口一个电压值，当按键按下时相应的 IOA 口得到一个高电压。相反，则为低电压。单片机则根据 IO 口的电压值进行相应的操作。

### 1.4 语音输入电路

语音输入电路主要由 A/D 转换模块组成，其作用是实现模拟信号向数字信号的转换。但由于 SPCE061A 内置了 AGC 电路和 ADC 电路，所以实现音频输入的外围电路变得相对简单。输入电路原理图如图 3-4 所示。

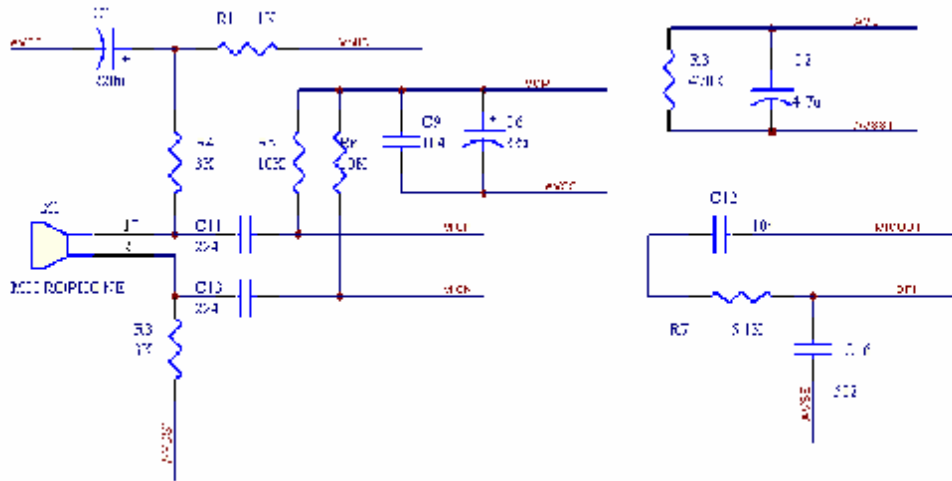


图 3-4 音频输入电路原理图

MICP 和 MICN 将随着 MIC 产生的波形变化，并在两个端口处形成两路反相的波形，再经过两级运放放大，把放大的语音信号交给 ADC 转换为数字量，这时就可以通过单片机编程对这些数据进行处理，如语音数据压缩、语音识别样本处理等。

### 1.5 语音输出电路

图 3-5 为语音输出电路，其作用是将 D/A 转换后的模拟信号放大输出，最终通过 J3 外接扬声器将模拟信号输出，即可完成语音播放。

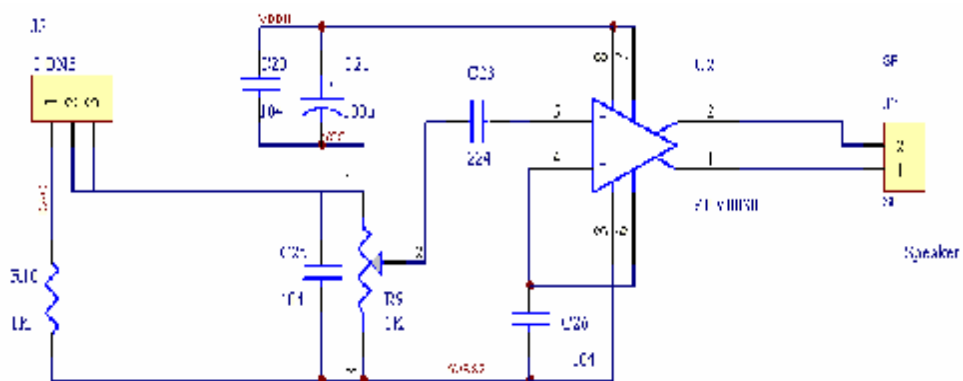


图 3-5 音频输出电路原理图

SPY0030 是音频功率放大器。因为声音是不同振幅和不同频率的波，即交流信号电流，三极管的集电极电流永远是基极电流的  $\beta$  倍， $\beta$  是三极管的交流放大倍数，应用这一点，若将小信号注入基极，则集电极流过的电流会等于基极电流的  $\beta$  倍，然后将这个信号用隔直电容隔离出来，就得到了电流(或电压)是原先的  $\beta$

倍的大信号，这现象成为三极管的放大作用。经过电流与电压的共同放大，就完成了功率放大。R9 为可调电阻，当调节阻值大小时，即调节了基极的输入信号，最终影响的就是输出信号即语音输出音量的大小。它的增益为公式（3-1）所示：

$$\text{Gain}=2*5000/(5000+R1) \tag{3-1}$$

SPY0030 的放大倍数固定为 20 倍。

### 1.6 USB 接口电路

USB 接口电路包括 PDIUSB12 芯片、使芯片工作的晶振、复位等外围电路。原理图如图 3-6 所示。

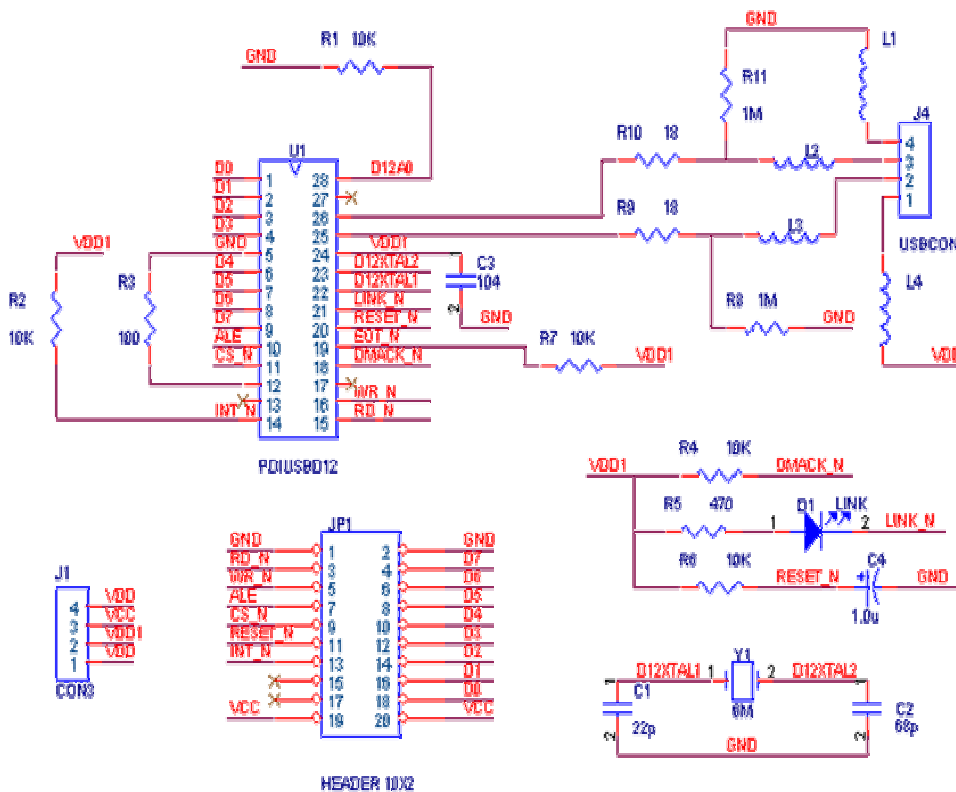


图 3-6 USB 电路原理图

#### 1、PDIUSB12 芯片介绍

PDIUSB12 芯片是一款性价比很高的 USB 器件。它通常作用于微控制器进行通讯的高速通用并行接口，PDIUSB12 所具有的低挂起功耗连同 LazyClock 输出可以满足使用 ACPI、OnNOW 和 USB 电源管理的要求。低的操作功耗可以应用于总线供电的外设。此外，它还集成了许多特性，包括 Softconnet、GoodLink、可编程时钟输出、低频晶振和终止寄存器集合，支持本地的 DMA 传输。

D12 芯片给我们提供 3 个端点，每个端点都有输入和输出各一个，同时端点 2 还提供了 4 种方式的数据传输方式。PDIUSB12 的端点 1 进行命令的传输和应答，而端点 2 进行数据的高速传输和海量传输。端点 1 每次接收计算机发送过来的 2 个字节指令，每接收 2 组后为一个完整的命令，通过一个校验位来判断命令字是否正确，通过端点 2 发送或接收数据。而 USB 的传输速率可以达到 12Mbps，比 RS-232 的速率提高了 100 倍，这样 USB 以 12 Mbps 与采样系统进行数据交换，需要  $1000K/12000K=0.08s$  的传送时间，因此 PC 机可以实现和智能仪器的高速数据交换。

PDIUSB12 器件特性：

- (1) 符合 USB1.1 版规范。
- (2) 高性能 USB 接口器件，集成了 SIE、FIFO 存储器、收发器以及电压调整器。
- (3) 符合大多数器件的分类规格。
- (4) 可与任何外部微控制器/微处理器实现高速并行接口（2MB/s）。
- (5) 完全自治的直接内存存取（DMA）操作。
- (6) 集成 320B 多结构 FIFO 存储器。
- (7) 主端点的双缓冲配置增加了数据吞吐量并轻松实现实时数据传输。
- (8) 在批量模式和同步模式下均可实现 1MB/s 的数据传输速率。
- (9) 具有良好的 EMI 特性的总线供电能力。
- (10) 在挂起时可控制 LazyClock 输出。
- (11) 可通过软件控制与 USB 连接。
- (12) 采用 GoodLink 技术的连接指示器，在通讯时使 LED 闪烁。
- (13) 可编程的时钟频率输出。
- (14) 符合 ACPI、OnNOW 和 USB 电源管理的要求。
- (15) 内部上电复位和低电平复位电路。
- (16) 有 S028 和 TSSOP28 封装。
- (17) 工业级操作温度：-40°C ~ +58°C。
- (18) 高于 8KV 的在片静电防护电路，减少了对额外元件的费用。
- (19) 具有高错误恢复率（>99%）的全扫描设计以确保其高品质。
- (20) 双电源操作：3.3V±0.3V 或扩展的 5V 电源，范围为 3.6V~5.5V。
- (21) 多中断模式实现批量和同步传输。

## 2、工作原理

USB 程序是存放到 MCU 中，当把设备连接到主机上（USB 连接线插入插孔）时，上位机可以发现新设备，然后建立连接，最终由上位机控制语音的上传与下载。所以 USB 程序的一个最主要的目的就是让主机可以检测和识别设备。



PDIUSDB12 协议完全符合 USB1.1 规范。程序由三部分组成；第一：初始化单片机和所有的外围电路（包括 PDIUSBD12）；第二：主循环部分，其任务是可以中断的；第三：中断服务程序，其任务是对时间敏感的，必须马上执行。根据 USB 协议，任何传输都是由主机（Host）开始的。单片机作它的前台工作，等待中断。主机首先要发令牌包给 USB 设备，PDIUSBD12 接收到令牌包后就给单片机发中断。单片机进入中断服务程序，首先读 PDIUSBD12 的中断寄存器，判断 USB 令牌包的类型，然后执行相应的操作。在 USB 单片机程序中，要完成对各种令牌包的响应，其中比较难处理的是 SETUP 包，主要是端口 0 的编程。

单片机与 PDIUSBD12 的通信主要是靠单片机给 PDIUSBD12 发命令和数据来实现的。PDIUSBD12 的命令字分为三种：初始化命令字、数据流命令字和通用命令字。PDIUSBD12 数据手册给出了各种命令的代码和地址。单片机先给 PDIUSBD12 的命令地址发命令，根据不同命令的要求再发送或读出不同的数据。因此，可以将每种命令做成函数，用函数实现各个命令，以后直接调用函数即可。

USB 接口电路设计主要包括模拟收发器、电压调整器、PLL、Philips 串行接口引擎（PSIE）、位时钟恢复等。其中，集成的模拟收发器接口可通过终端电阻与 USB 电缆相连；片内集成了一个 3.3 V 的电压调整器用于模拟收发器的供电。该电压还作为输出连接到外部 1.5k $\Omega$  的上拉电阻。可选择 PDIUSBD12 提供的带 1.5 $\Omega$  内部上拉电阻的软件连接技术；片内还集成了 6M 到 48M 时钟乘法 PLL。这样就可以使用低成本的 6M 晶振。EMI 也随之降低。PLL 的工作不需要外部元件；位时钟恢复电路使用 4X 过采样规则，从进入的 USB 数据流中恢复时钟。它能跟踪 USB 规定范围内的抖动和频飘；Philips SIE 实现了全部的 USB 协议层。完全由硬件实现而不需要固件的参与。该模块的功能包括：同步模式的识别。并行/串行转换、位填充/解除填充、CRC 校验/产生、PID 校验/产生、地址识别和握手评估/产生；与 USB 的连接是通过 1.5k $\Omega$  上拉电阻将 D+（用于高速 USB 器件）置为高实现的。1.5k $\Omega$  上拉电阻集成在 PDIUSBD12 片内，默认状态下不与 VCC 相连。连接的建立通过外部/系统微控制器发送命令来实现，这就允许系统微控制器在决定与 USB 建立连接之前完成初始化时序 USB 总线连接可以重新初始化而不需要拔出电缆。PDIUSBD12 在连接可以建立之前会检测 USB VBUS 是否可用 VBUS 可通过 EOT\_N 管脚进行检测。在以 12M/s 的速率传输并与微控制器并口相连时 MMU 和集成 RAM 作为 USB 之间速度差异的缓冲区，这就允许微控制器以它自己的速率对 USB 信息包进行读写；一个普通的并行接口定义成易于使用，快速而且可以与主流的微控制器直接接口。对一个微控制器而言 PDIUSBD12 看起来就象一个带 8 位数据总线和两个地位（占用 2 个位置）的存储器件。PDIUSBD12 支持多元和非多元的地址和数据总线。还支持主端点与本地共享 RAM 之间直接读取的 DMA 传输，支持单周期和突发模式的 DMA 传

输。

USB 模组与 SPCE061A 的链接方式为：USB 模组 D0~D7 与 SPCE061A 的 IOA8~IOA15 相连，IOB7 与 RD\_N 相连，IOB6 与 WR\_N 连接，IOB5 与 ALE 相连，IOB4 与 CS\_N 相连，IOB3 与 REST\_N 相连，IOB2 与 INT\_N 相连。

USB 接口模组的 JP1 接口将 PDIUSB12 的数据线(D0~D7)、控制线(INT\_N、RESET\_N、CS\_N、ALE、WR\_N、RD\_N)、电源线 (VCC、GND) 引出，方便开发者使用 USB 接口模组与各种型号的 MCU 连接；PDIUSB12 芯片，用于完成 USB 接口的所有硬件功能；电容 C4 的作用是完成 PDIUSB12 芯片的上电复位；晶振供 PDIUSB12 芯片使用；L1~L4 磁珠起抗干扰作用，保证数据传输的正确；USB 接口完成设备之间的连接；指示灯在 USB 接口模组枚举成功时点亮，在传递数据的时候闪烁；J5 是地线，主要配合凌阳教育推广中心推出的实验箱使用，起到固定作用；电源跳线用来改变 USB 接口模组的供电方式，或者改变外设的供电方式。

### 1.7 存储器电路

存储器电路原理图如图 3-7 所示。

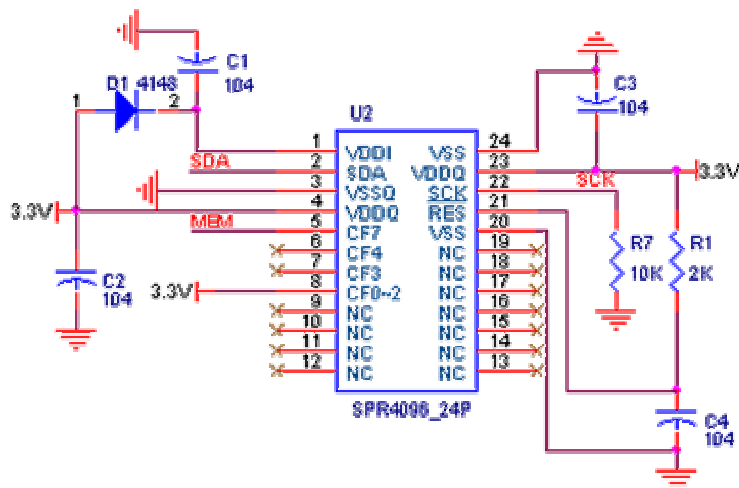


图 3-7 存储器电路原理图

#### 1、SPR4096 存储器介绍

SPR4096 是一个高性能的 4M-bit(512K×8-bit)FLASH，分为 256 个扇区。每个扇区为 2Kbyte。SPR4094 还内置了一个 4K×8bit 的 SRAM。在进行 FLASH 的编程/擦除时，可以并发执行 SRAM 的读/写。SPR4096 内置了一个总线存储器接口和一个串行接口，它允许单片机通过 8-bit 并行模式或者 1-bit 的串行模式访

问 FLASH/SRAM 存储区。

SPR4096 串行接口的工作频率可达到 5MHz。SPR4096 有两个电源输入端 VDDI 和 VDDQ。VDDI 是给内部 FLASH 和控制逻辑供电的；VDDQ 是专门为 I/O 供电的。供电电压 VDDQ: 2.25V~3.6V, VDDI: 2.25V~2.75V。SPR4096 最大读电流为 2mA, 最大编程/擦出电流为 6 mA。SPR4096 模块包括总线存储接口, 串行接口, SRAM, 编程与擦出控制器和一个 4M 的 FLASH。选择串行接口时, SCLK 作为时钟信号线, SDA 作为 1-bit 的数据线。如果接收到 FLASH 的读指令或者 SRAM 的读/写指令, 串口会把这些指令传给编程和擦除控制器, 让编程和擦除控制器去完成相应的操作。

串行接口模式的选中是通过 CF2~CF0 来实现的。当 CF2~CF0 均接高电平时, 选中的就是串行接口模式, 在串行接口模式下, CF7 为低电平时选中 FLASH, 高电平时选中 SRAM。该芯片有 SIF(Serial Interface)和 BMI(Busmemory Interface)两种工作方式, 但 DIP24 只支持 SIF 方式。

## 2、电路工作方式

由于 SPEC061A 的 FLASH 只有 32Kwords, 为了能够存放大量的语音资源, 就要外扩存储器, 所以采用了凌阳公司的 SPR4096 进行外扩设计。SPR4096 与 SPCE061A 的连接方式为: SCK 与 SPCE61A 的 IOB0 接, SDA 与 SPCE061A 的 IOB1 口接。SPR4096 按串行接口模式工作, 要把 CF2~CF0 均接高电平。CF7 为低电平时选中 FLASH, 高电平时选中 SRAM。

占用 SPCE061A 的 IO 资源为: IOB0, IOB1。

## 1.8 电源电路

电源电路为系统提供稳压电源, 电路原路图如图 3-8 所示。

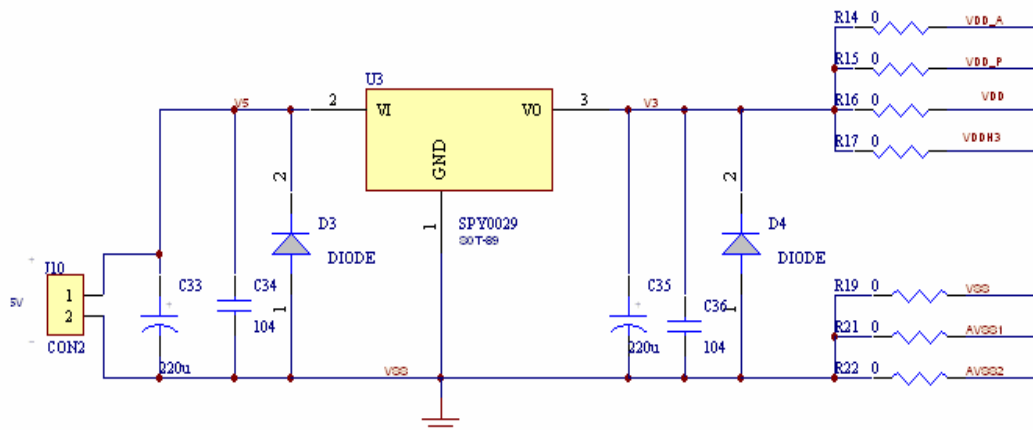


图 3-8 电源电路原理图

J10 为电源插座，提供 4.5V 输入电压。一个电路能够正常而且稳定的工作，最基本的要求就是有一个稳定的输入电压，而 SPY0029 正是这样的一个关键器件，SPY0029 为 3.3V 三端稳压器，它是凌阳公司设计的电压调整集成电路，采用 CMOS 工艺。SPY0029 具有静态电流低、驱动能力强、线性调整出色等特点。图中的 VDDH3 为 SPCE061A 的 I/O 电平参考，接 SPCE061A 的 51 脚，这种接法使得 I/O 输出高电平为 3.3V；VDDP 为 PLL 锁相环电源，接 SPCE061A 的 7 脚；VDD 和 VDDA 分别为数字电源与模拟电源，分别接 SPCE061A 的 15 脚和 36 脚；AVSS1 是模拟地，接 SPCE061A 的 24 脚；VSS 是数字地，接 SPCE061A 的 38 脚；AVSS2 接音频输出电路的 AVSS2。