

正弦信号发生器设计报告

摘要

本系统由 FPGA、单片机控制模块、键盘、LCD 液晶显示屏、DAC 输出电路和末级放大电路构成。仅用单片 FPGA 就实现了直接数字频率合成技术 (DDS)，产生稳幅正弦波，并在数字域实现了 AM、FM、ASK、PSK 等四类调制信号。调制信号既可由用户输入参数由 FPGA 内部生成，也可以从外部输入。整个系统结构紧凑，电路简单，功能强大，可扩展性强。

Abstract

This system is composed by FPGA, MCU controller, keyboard, LCD, DAC and amplifier modules. The DDS, Direct Digital Synthesizer, which is implemented by a unique FPGA IC, can provide the stable sine signal with digital AM, FM, ASK, PSK modulation. The modulation signal can be provided NOT only by FPGA, which will receive parameters from user, but also from external input. This system features in compact module, simple circuit, powerful functions and flexible expansion.

一、方案论证与比较

根据题目要求，基本部分需要实现正弦波信号发生，而发挥部分主要需要实现信号调制。

1. 正弦信号输出方案

方案一：

采用专用信号发生器。MAX038 是美信公司的低失真单片信号发生器集成电路，内部电路完善。使用该芯片，设计简单，可以生成同一频率信号的各种波形信号，但频率精确度和稳定度都难以达到要求。

方案二：

采用直接数字合成 (Direct Digital Synthesizer) 方案。DDS 的原理框图如图 1-1 所示。(详细原理在此不再赘述)。

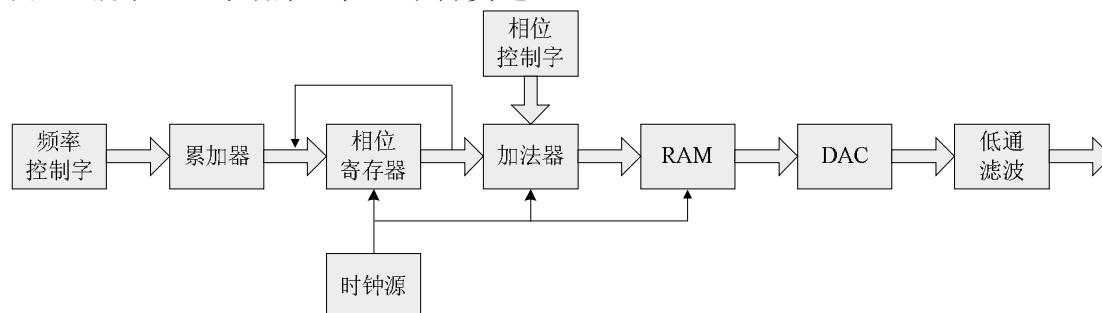


图 1-1 DDS 原理框图

DDS 技术频率分辨率高、转换速度快、信号纯度高、相位可控、输出信号无

电流脉冲叠加、输出可平稳过渡且相位可保持连续变化。

方案论证

从题目要求来看，上述两种方案都可以满足题目合成频率范围的要求，但信号发生器产生的频率稳定度、精确度都不如 DDS 合成的频率；另一方面，DDS 较信号发生器更容易精确控制，所以我们选择 DDS 方案进行频率合成。

2. 信号调制方案

方案一：

采用 AD 公司的 DDS 专用芯片 AD9851 合成 FM 和 AM 的载波，采用传统的模拟调制方式来实现 AM 和 FM 调制。但这种方案的缺点是需要额外的模拟调制 FM 和 AM 调制的电路，且模拟调制电路难免引入一定的干扰，而且此方案中 PSK 的调制也不好实现。

方案二：

采用 AD9851 合成 FM 和 AM 的载波，将 FM 调制信号离散化形成数字信号，使 FM 调制的频率偏移通过改变 AD9851 的频率字来实现。这种设计方案减少了 FM 调制过程中引入的干扰，也大大简化了 FM 调制电路的设计。但是 AM 调制还是需要模拟乘法器，而 PSK 的调制也需要额外的电路。

方案三：

采用 AD 公司的 AD9856 作为调制芯片。AD9856 是内含 DDS 的正交调制芯片，可以实现多进制的数字幅度调制，多进制的数字相位调制和多进制的数字幅度相位联合调制。AM, PSK 和 ASK 调制都可以通过它实现。但是 AD9856 不便于调频，且控制复杂。

方案四：

采用 FPGA+DAC 来实现 DDS。这样通过 FPGA 在数字域实现频率合成然后通过 DAC 形成信号波形。由于信号都是由 FPGA 在数字域进行处理，可以很方便的将 FM 和 AM 等调制在数字域实现。所有调制电路的功能都由 FPGA 片内的数字逻辑电路来实现，整个系统的电路设计大为简化，同时由于数字调制避免了模拟调制带来的误差和干扰，大大提高了调制的性能，而且硬件电路设计的软件化，使得电路设计的升级改进工作大为简化。但是此方案由于受到 FPGA 接口速度和 DAC 转换速度的约束，载频只能做到 15M 左右。

表 1-1 信号调制方案比较表

	方案一	方案二	方案三	方案四
硬件电路描述	AD9851 + AM 模拟调制电路 + FM 模拟调制电路 + PSK 调制电路	AD9851 + AM 模拟调制电路 + PSK 调制电路	AD9856 + FM 模拟调制电路	FPGA + DAC
AM	使用模拟的硬件乘法器	使用模拟的硬件乘法器	使用 AD9856	在数字域内由 FPGA 内部的逻辑电路实现

FM	使用模拟锁相环	通过修改 AD9851 的频率字	使用模拟锁相环	在数字域内由 FPGA 内部的逻辑电路实现
PSK	使用模拟锁相环或是专用调制芯片	使用模拟锁相环或是专用调制芯片	使用 AD9856	在数字域内由 FPGA 内部的逻辑电路实现
ASK	模拟开关或是专用调制芯片	模拟开关或是专用调制芯片	使用 AD9856	在数字域内由 FPGA 内部的逻辑电路实现
其他调制方式扩展的实现难度	很难	较难	较易	很容易

方案论证

上述方案中，方案四的电路最为精简，调制性能也最好。虽然载频只能做到 15M，但是已经达到了本题发挥部分的指标要求，所以选择方案四来实现信号的调制。

二、总体设计

1. 总体设计

(1) 系统框图如图 2-1

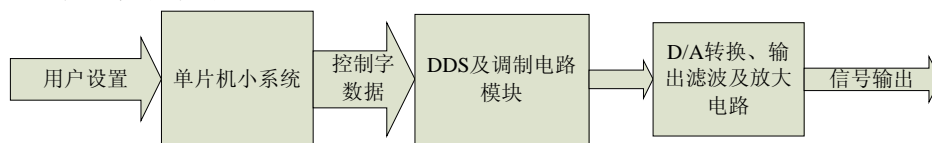


图 2-1 总体设计框图

(2) 单片机小系统

单片机小系统由键盘，LCD 显示屏，和凌阳单片机 SPEC061A 构成。负责用户的交互和整个系统的控制。

(3) DDS 及调制电路模块

DDS 及调制电路模块由 FPGA 和 DAC 构成。FPGA 负责在数字域实现正弦波（载频）的合成、FM 和 AM 调制信号（经过离散化的）的合成产生 ASK 和 PSK 的调制信号并完成 ASK、PSK 的调制和 FM、AM 调制，然后控制 DAC 输出波形。

(4) 滤波及放大电路

滤波电路是采用美信的高速运放 MAX4108 设计的一个有源二阶低通滤波器，用以去除 DDS 合成信号固有的高次谐波成分，同时有 2 倍放大器的功能。信号放大电路采用 AD 公司的高速运放 AD811，使输出信号的幅度能达到发挥部分的要求（ V_{opp} 在 5V~7V 之间）。

(5) 电源设计

高速 DAC 对模拟数字地之间的串扰十分敏感。模拟数字地之间的串扰对 DAC 输出信号的波形影响很大。故本系统采用一个线性电源对模拟电路供电，采用一个开关电源对数字电路供电，模拟地和数字地之间通过一个磁珠相连。这种设计实现了模拟数字电路尽可能大的隔离。实践证明，数字部分和模拟部分独立供电对信号质量有很大的改善作用。

2. 理论分析与参数设计

(1) 载频参数计算

本题要求：输出频率范围是 1KHz~10MHz，频率步进是 100Hz，频率稳定度优于 10^{-4} ，信号波形无明显失真。

要求 DDS 合成的信号波形无明显失真，那么一般要求一个信号周期内要插值 16 个点，而合成频率最高要求为 10M，那么需要的 FPGA 和 DAC 接口数据传送率为：

$$10M \times 16 = 160 \text{ MWord/S}$$

这种数据传输率有一定风险，由于高速信号的不完整性，可能导致 DAC 数据错误。为解决波形失真和传输率间的矛盾，我们选择了 MAX5858A，它是双路 10 位 300MSPS DAC，内部含有 4x/2x/1x 的插值低通滤波电路。在其最大输出速率时，如果使用其 4x 插值，则数据传输率为：

$$300\text{MWord/S} \div 4 = 75\text{MWord/S}$$

DDS 输出的正弦波每秒钟有 75M 个插值点，并在 DAC 内部完成 4 阶插值和数字低通滤波，最后转化成实际电压输出。这样既抑制了高频段输出正弦波信号可能的失真，又降低了数据接口的传输速率，提高了系统可靠性。

系统频率调整的步进是 100Hz。DDS 逻辑电路的工作时钟是 75M，所以：

$$75M \div 100 = 750000 \quad (\text{小于 } 2 \text{ 的 } 20 \text{ 次方})$$

所以，DDS 的频率字只要多于 20 个 bit，频率调整的步进就能小于 100Hz。本系统采用的频率控制字为 32bit，充分满足频率调整步进的要求。

本系统的工作时钟由晶振提供的时钟通过 FPGA 内的锁相环 3 倍频得到。而 DAC 内部插值 4 倍频。而晶振的频率稳定度为 10^{-6} 量级，所以整体频率稳定度： $10^{-6} \times 3 \times 4 = 1.2 \times 10^{-5}$ ，在 10^{-5} 量级，满足题目要求。

(2) AM 调制参数设计

本题要求：产生 1KHz 的正弦调制信号；调制度在 10% 和 100% 之间程控调节，步进 10%。

系统采用一个 10bit 的控制寄存器来保存调制度。其离散间隔为 1/1024，高于步进 10% 的要求。调制度可以由用户自行设置，也可以用按键以 1% 或 10% 步进调整。

本系统中，正弦调制信号的频率并不是固定于 1KHz，而是可以由用户随意设定，由一个独立的 DDS 产生，其频率范围由 1Hz 到 10MHz（注：调制信号的带宽是受到载频的限制的，载频最高只有 10MHz，调制信号的频率不能太大。实际上，AM 一般用于语音调制，所以其频率一般不会超过 5KHz）。

(3) FM 调制参数设计

本题要求：产生 1KHz 的正弦调制信号；调频产生最大频偏为 5kHz/10kHz 两级程控调节。

系统产生的正弦调制信号的频率也可以由用户随意设定（与 AM 调制相同）。最大频偏扩展为 5kHz/10kHz/20kHz 三档。

(4) ASK/PSK 调制参数设计

本题要求：产生码速率为 10kbps 的二进制基带序列信号，载波频率为 100kHz。

ASK、PSK 调制和 AM、FM 调制共用一套本振（即合成正弦信号的 DDS 模块），所以通过设定频率控制字可设置载波频率为需要的 100kHz。而码率为 10kbps 二进制基带序列信号则可以通过预置好的移位寄存器循环移位获得。

(5) 滤波电路参数计算

本题要求：输出最大频率为 10MHz 的正弦波。

由于最终方案采用 DAC 输出，而 DAC 的转换频率为 75MHz，故需要一个截止频率在 10MHz 和 75MHz 之间的低通滤波器。然而 DAC 的转换并不是理想的，输出信号的谐波干扰主要集中在二次谐波，所以我们选取截止频率为 18MHz 的有源二阶巴特沃兹低通滤波器，来保证达到题目要求。

(6) 放大电路参数计算

本题要求：输出的正弦信号在接 50Ω 负载时能有 6V 的峰峰值。

DAC（包括电流-电压转换）输出只有约 1V 的峰峰值，故在后级需要进行电压放大。我们使用了具有两倍电压增益的滤波器，在滤波的同时进行两倍的电压放大，然后再使用一片具有较大带载能力的运放做三倍电压放大，为了避免出现自激，实际中采用三倍反相放大。

3. 扩展创新设计

(1) 单片 FPGA 实现双路正弦信号发生器

由于本系统在实现完题目中所有基本和发挥的指标要求后，FPGA 还剩余了大量的资源，而且 MAX5858A 是双通路的 DAC，所以在完成题目所有要求的基础上，我们又扩展了一路信号发生器，除了不作幅度放大之外，其余所有性能指标和前一通道（通道 1）完全一样，而且同样可以进行 AM，FM，ASK 和 PSK 调制。

(2) 扩展外部调制方式

本题要求自制调试信号进行 AM，FM，ASK 和 PSK 调制。我们的第二项扩展就是在通道 2 的 AM，FM，ASK 和 PSK 调制全部增加外部调制方式。调制信号由外部输入。其中，ASK 和 PSK 调制信号的输入是由用户通过键盘输入要调制的二进制基带序列；而 FM 和 AM 调制信号则由用户从外部输入，由单片机的 AD 进行采样，然后将采样值发给调制电路（由 FPGA 内部的数字电路实现）进行调制输出。

三、软件设计

设计目的：

接收用户键盘输入的数据（信号参数的预制、选择和步进）和控制指令，控制液晶显示，向 FPGA 发送数据及控制指令，控制 AD 采样外输入信号（扩展外调制功能）。

设计思路：

根据题目要求，本软件设计了 4 级菜单结构及友好提示界面（键盘输入，液晶显示）。用户可通过键盘选择菜单项设置输出信号参数（频率、调制度、频偏等），或选择输出信号（正弦波、模拟调幅波、模拟调频波等）。当用户选择输出时，程序把设置的参数送至 FPGA，并对 FPGA 发出控制命令使其输出需要的信号。当用户选择外输入模拟调制时程序控制 AD 采样外输入信号，转换到合适的范围后发送至 FPGA。

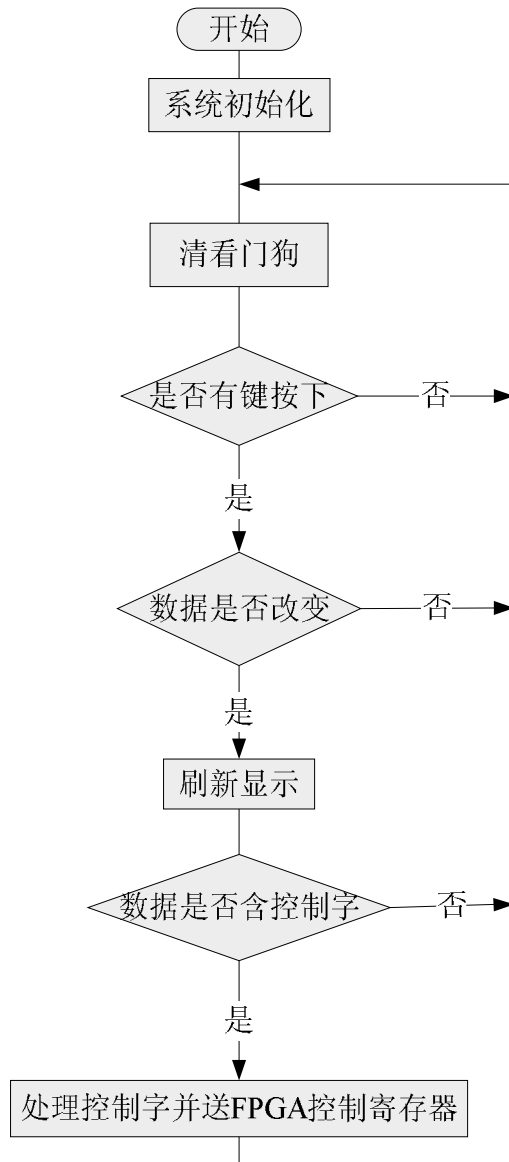


图 3-1 软件流程图

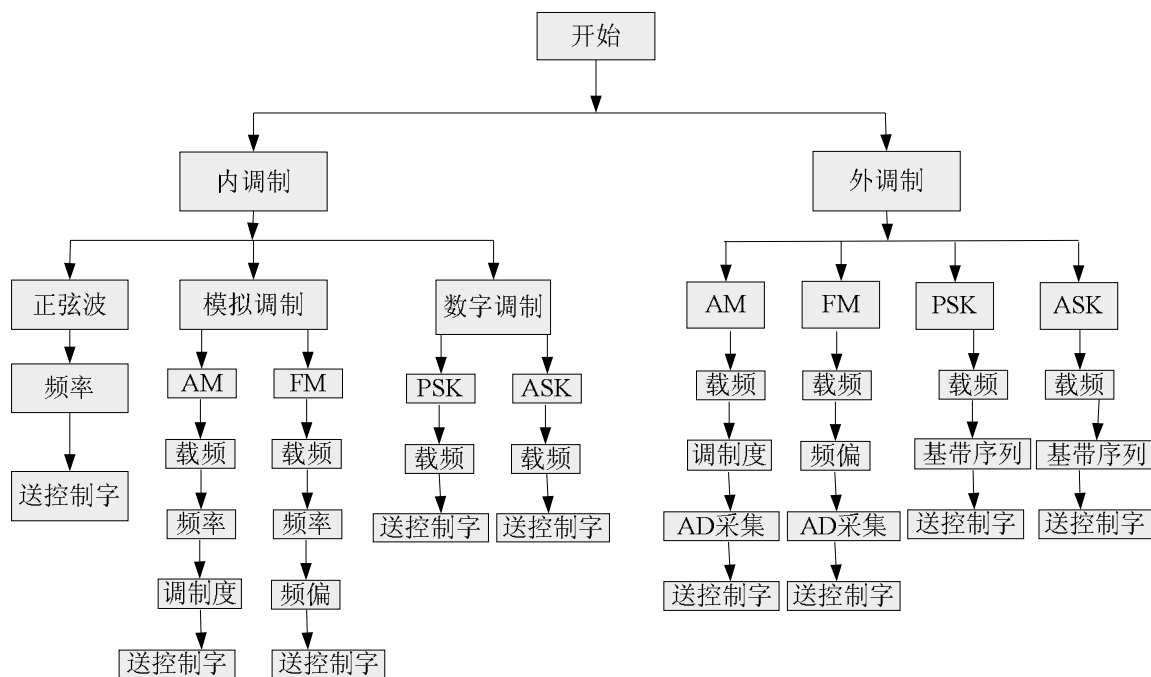


图 3-2 菜单控制流程

四、数字逻辑设计

本系统的所有数字逻辑电路都由 FPGA 实现。FPGA 选用的是 Altera 公司的 Cyclone 系列 FPGA——EP1C3T144C8。此芯片有 LE 约 3000 个，片内 RAM 有 52Kbits。

FPGA 的数字逻辑电路负责在数字域实现 FM 和 AM 调制信号（经过离散化的）的频率合成和生成 ASK 和 PSK 的调制信号（仅通道一有上述功能），正弦波（载频）的频率合成，完成 ASK, PSK, FM, AM 在数字域的调制（两个通道都具有上述功能），然后控制 DAC 形成正确的波形信号。

整个逻辑设计的框图如图 4-1。

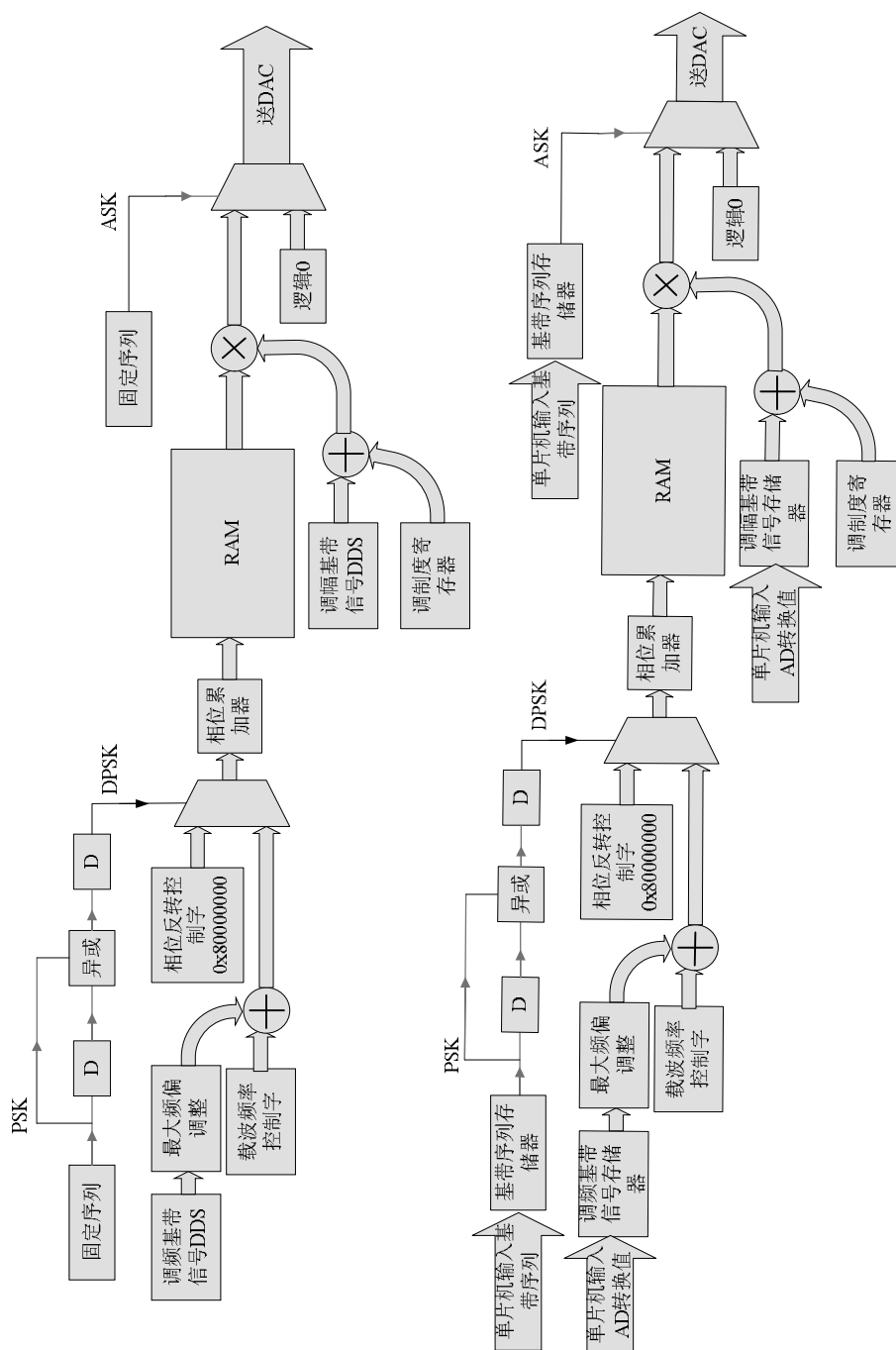


图 4-1 整个逻辑设计框图

PSK 调制的实现：本系统中 PSK 调制是通过调制信号延时作异或运算然后经过 DPSK 调制来间接实现 PSK 调制，而 DPSK 的调制是通过将 DDS 相位累加器的相位步进瞬时设置为 2π 来实现反相。

FM 调制通过给正弦波（载频）的频率字叠加一个偏移频率字来实现频率的偏移；AM 调制直接在 FPGA 内用数字乘法器实现；ASK 调制直接用开关选通载频信号或是截断载频信号，由于 DAC 中零电平的数量化字是 512，所以零电平是常数 512。

五、 电路设计

根据总体方案设计，硬件电路应分为，控制模块（单片机开发板）、信号产

生模块（FPGA 开发板）、DAC 模块、滤波部分和放大部分。

控制模块：

控制模块主要由凌阳单片机 SPCE061 和与之相关的 LCD 显示以及键盘组成。我们使用了一块无字符点阵液晶，其型号为“TS12864A-2”。参照其数据手册，实际连接如图 5-1。

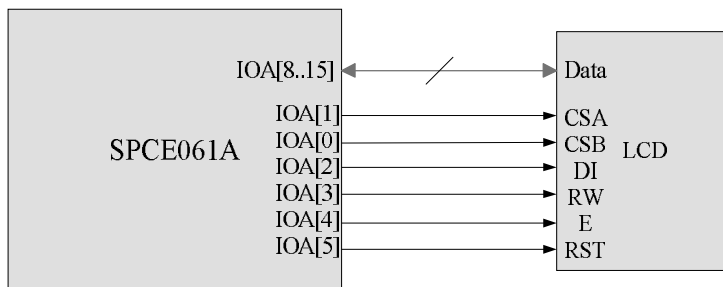


图 5-1 液晶与单片机的连接

信号产生模块：

整个系统的信号生成采用数字方式在 FPGA 中实现，因此信号产生模块（FPGA 开发板）是整个系统的核心，我们采用了一块以前自行设计的 EP1C3T144 开发板，仅包含基本的下载、调试和 IO。

DAC 模块：

这部分我们采用了一块以前自行设计的与上述 EP1C3T144 开发板配合的模块，它采用 MAX5858A 作为 DA 转换的核心，并且在板上做了电流-电压转换，输出电压范围为约-0.5 至 0.5V。其电路如图 5-2

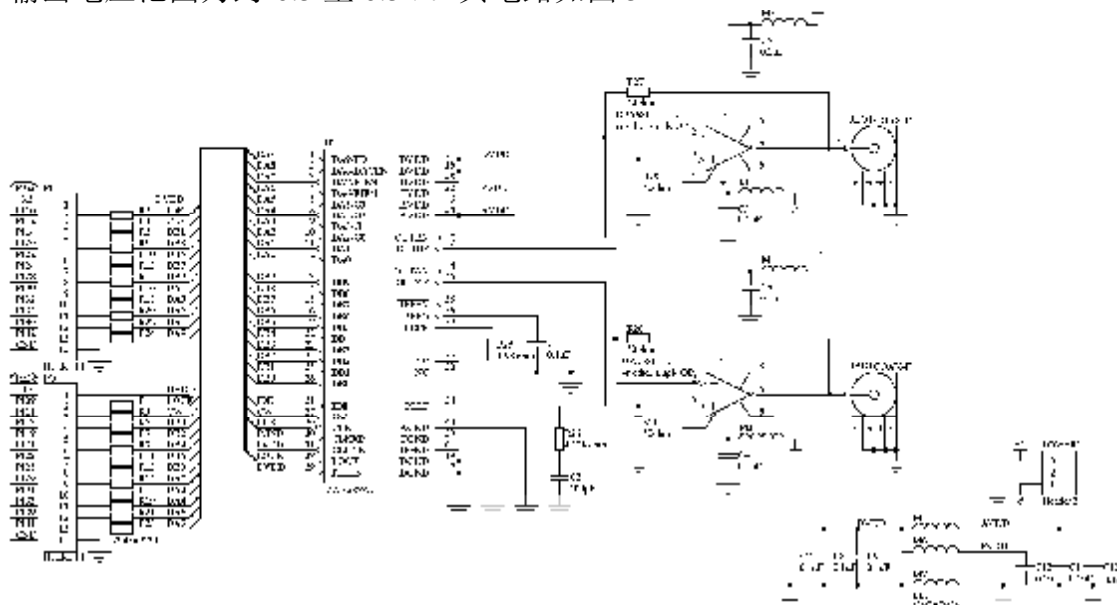


图 5-2 DAC 电路

图 5-2 是参考 MAX5858A 数据手册中的典型应用电路设计的，其中 OPA681 为一片高带宽增益积运放，实际制作中我们用 MAX4108 代替了 OPA681，效果一致。根据 MAX5858A 的数据手册，MAX5858A 的差分电流输出的输出电流范围可由

$$R_{25} \text{ 设定, 输出最大值为: } \frac{32 \times V_{REFO}}{R_{SET}} \quad \text{式中 } R_{SET} \text{ 即为图 5-2 中的 } R_{25}$$

当它取 3.9kΩ 时，有约 10mA 的最大电流输出，结合后级 R_f 为 50Ω 的电流-电压变换，输出范围为-500mV 至 500mV。

滤波部分：

滤波部分采用的是一个两阶巴特沃兹低通滤波电路，采用一个运放完成（实为：MAX4108），同时作两倍电压放大。实际电路如图 5-3

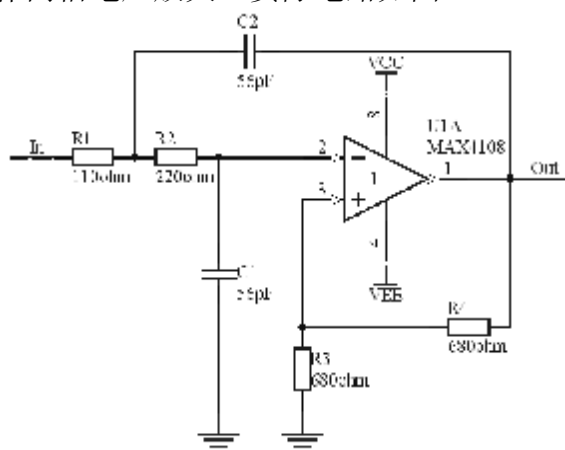


图 5-3 滤波器

放大部分：

放大部分较为简单，我们使用了高速单运放 AD811 完成放大。其带宽增益积为 140MHz，双 15V 供电时，有 ±12V 的输出摆幅，最大输出电流为 100mA，满足题目要求。为防止自激实际中采用反相 3 倍电压放大，不影响指标。

六、 调试

调试过程主要围绕 FPGA + DAC 为核心的 DDS 信号输出和调制模块进行。利用 EDA 软件 Quarturs II 提供的嵌入式内置逻辑分析仪，通过 JTAG 口实时观察 FPGA 内部信号，以便及时发现、定位和修复 FPGA 当中存在的逻辑错误。DDS 与单片机接口采用了自定义的类 SPI 接口形式，在调试过程当中，首先通过凌阳单片机开发软件对单片机程序进行软仿真，结合示波器确定单片机发出的命令控制字的有效性，接着通过 EDA 软件 Quarturs II 提供的嵌入式内置逻辑分析仪确认 DDS 内部接口逻辑的正确性。

七、 指标测试

测试仪器：FLUKE 15B 数字万用表、Tektronix TDS1002 数字示波器、QF4134 型调制度测量仪、EE1641B 型函数信号发生器

1. 基本要求测试

(1) 正弦波频率范围测试

将输出端接 50Ω 负载，对输出电压进行测试，测试数据如表 7-1 所示：

表 7-1

设置频率(Hz)	实测频率(Hz)	V _{pp} (V)	设置频率(Hz)	实测频率(Hz)	V _{pp} (V)
10	9.99	6.40	1M	1.00M	6.00
1k	1.000k	6.20	13M	13.00M	5.96

(2) 频率步进设置测试

在题目要求的范围内选取 2 个测试点（1kHz 和 1MHz）进行测试。测试结果

如表 7-2。

表 7-2

初始频率(Hz)	步进值	步进级数	实测频率(Hz)
1k	10Hz	+5	1.05k
	100Hz	-1	900.0
1M	100Hz	+10	1.001M

2. 发挥部分测试

(1) 幅度调制信号调制度 m_a 测试

采用调制度测量仪对系统输出信号进行测试，测试结果见表 7-3。

表 7-3

调制信号频率(Hz)	载波频率(Hz)	设置调制度 m_a (%)	实测调制度 m_a (%)
500{滤波器(300Hz-3kHz)}	2M	25	24.6
1k{滤波器(300Hz-3kHz)}	5M	70	71.3
5k{滤波器(3kHz-15kHz)}	10M	50	51.8

(2) 调制度 m_a 步进测试

通过键盘输入改变 m_a ，观察得本系统提供的预置调制度、1%或 10%调制度步进均可正常工作。

(3) 频率调制信号频偏测试

由于本题中调频的载波范围较广，故对于载频在 1.3MHz 以上的调制信号采用调制度测量仪测试，其他的从数字示波器中观察信号并计算出频偏。频偏测试结果如表 7-4。

表 7-4

调制信号频率(kHz)	载波频率(Hz)	设置最大频偏(kHz)	实测最大频偏(kHz)
1k	100k	5	5.46
	2M	5	4.5
		10	9.6
		20	19.8
	10M	10	9.7
10k	100k	10	9.71
	10M	5	4.6
		10	9.5
		20	19.5

(4) PSK、ASK 调制测试

从示波器上同时观察基带序列信号和调制后信号，测试结果两者完全一致，表略。

3. 扩展部分测试

第二路测试方法与第一路一样，在此不再赘述，仅将各测试结果的表格陈列如下：

(1) 外输入幅度调制信号调制度 m_a 测试结果见表 7-5。

表 7-5

调制信号频率(Hz)	载波频率(Hz)	设置调制度 m_a (%)	实测调制度 m_a (%)
100	2M	50	48.9
	5M	20	19.3
	10M	80	78.7

(2) 调制度 m_a 步进测试效果基本与第一路一样。

(3) 外输入频率调制信号频偏测试结果如表 7-6。

表 7-6

调制信号频率(Hz)	载波频率(Hz)	设置最大频偏(kHz)	实测最大频偏(kHz)
100	2M	5	4.8
		10	8.9
		20	18.9
	10M	5	4.7
		10	9.1
		20	18.9

(4) PSK、ASK 调制测试, 从示波器上同时观察基带序列信号和调制后信号, 两者完全一致, 表略。

八、结论

经测试, 由单片机、FPGA 结合 DAC 构成的正弦信号发生器达到了题目提出的所有要求, 并在大部分指标上有所超越。由于采用了较为灵活的设计方案, 本系统具有结构紧凑, 电路简单, 功能强大, 可扩展性强的特点, 并且调试相对容易, 进度可控制性强。